

SON-2234

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In the Patent Application of

Group Art Unit: To Be Assigned

Toru TAKESHITA et al

Serial No. To Be Assigned

Examiner: To Be Assigned

Filed: October 17, 2001

For: PLL CIRCUIT AND OPTICAL COMMUNICATION
RECEPTION APPARATUS

CLAIM TO PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing dates of the following prior applications filed in the following foreign country are hereby requested and the right of priority provided under 35 U.S.C. 119 is hereby claimed:

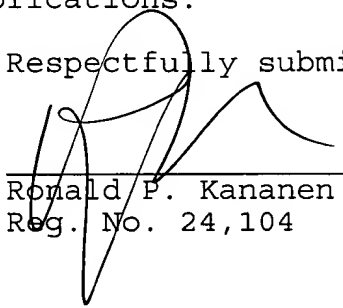
Japanese Patent Appl. No. P2000-318903 filed October 19, 2000

Japanese Patent Appl. No. P2001-004617 filed January 12, 2001

In support of this claim, filed herewith are certified copies of said original foreign applications.

Respectfully submitted,

Dated: October 17, 2001



Ronald P. Kananen
Reg. No. 24,104

RADER, FISHMAN & GRAUER P.L.L.C.
1233 20TH Street, NW, Suite 501
Washington, DC 20036
202-955-3750-Phone
202-955-3751 - Fax
Customer No. 23353

#4
1c986 U.S. PTO
09/978058
10/17/01

日 本 国 特 許 庁
JAPAN PATENT OFFICE

10/41/01
85086/60
JPO S.U. 986CJ

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2000年10月19日

CERTIFIED COPY OF
PRIORITY DOCUMENT

出 願 番 号
Application Number:

特願2000-318903

出 願 人
Applicant(s):

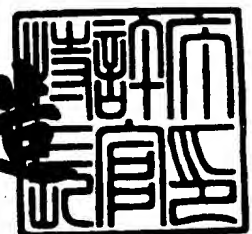
ソニー株式会社

Best Available Copy

2001年 8月31日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3080807

【書類名】 特許願
【整理番号】 0000454602
【あて先】 特許庁長官 殿
【国際特許分類】 H03L 7/06
【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 竹下 徹

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 西村 隆志

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 出井 伸之

【代理人】

【識別番号】 100086298

【弁理士】

【氏名又は名称】 船橋 國則

【電話番号】 046-228-9850

【手数料の表示】

【予納台帳番号】 007364

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904452

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 PLL回路および光通信受信装置

【特許請求の範囲】

【請求項1】 発振周波数が可変な発振器と、

前記発振器の発振周波数信号と入力信号との位相を比較し、その比較結果に基づいて前記発振器の発振周波数信号の位相を進める第1の位相制御信号または位相を遅らせる第2の位相制御信号を出力する位相検出回路と、

前記発振器の発振周波数信号に基づいて位相の異なる第1、第2の信号を発生する信号発生回路と、

前記信号発生回路で発生される前記第1、第2の信号を前記入力信号に同期してその周期ごとに取り込むとともに、その取り込んだ信号と1周期前に取り込んだ信号とを論理演算してその演算結果に基づいて前記発振器の発振周波数信号の周波数を上げる第1の周波数制御信号または周波数を下げる第2の周波数制御信号を出力する周波数検出回路と

を備えたことを特徴とするPLL回路。

【請求項2】 前記第1、第2の信号がクロック信号である

ことを特徴とする請求項1記載のPLL回路。

【請求項3】 前記第1、第2の信号の位相が互いに90°異なる

ことを特徴とする請求項2記載のPLL回路。

【請求項4】 前記周波数検出回路は、前記入力信号に同期してその周期ごとに前記第1の信号を取り込む第1のサンプリング回路と、前記入力信号に同期してその周期ごとに前記第2の信号を取り込む第2のサンプリング回路と、前記第1、第2のサンプリング回路で取り込まれた信号を保持し、その保持した信号と前記第1、第2のサンプリング回路で次に取り込まれる信号とを論理演算してその演算結果に基づいて前記第1の周波数制御信号または前記第2の周波数制御信号を発生する制御ロジック回路とからなる

ことを特徴とする請求項1記載のPLL回路。

【請求項5】 前記制御ロジック回路は、前記第1、第2のサンプリング回路の各出力信号を論理演算する第1の論理演算回路と、前記第1の論理演算回路

の出力信号を格納する第 1 の格納回路と、前記第 1, 第 2 のサンプリング回路の各出力信号と前記第 1 の格納回路の格納信号とを論理演算する第 2 の論理演算回路と、前記第 1, 第 2 のサンプリング回路の各出力信号を論理処理した信号と前記第 1 の格納回路の格納信号とを論理演算する第 3 の論理演算回路と、前記第 2 の論理演算回路の出力信号を格納する第 2 の格納手段と、前記第 3 の論理演算回路の出力信号を格納する第 3 の格納手段とを有する

ことを特徴とする請求項 4 記載の PLL 回路。

【請求項 6】 前記第 1, 第 2 のサンプリング回路は、前記入力信号の立ち上がりまたは立ち下がりタイミングで前記第 1, 第 2 の信号をそれぞれサンプリングする

ことを特徴とする請求項 4 記載の PLL 回路。

【請求項 7】 前記第 1, 第 2 のサンプリング回路は、フリップフロップによって構成されている

ことを特徴とする請求項 4 記載の PLL 回路。

【請求項 8】 前記フリップフロップが D 型フリップフロップであることを特徴とする請求項 7 記載の PLL 回路。

【請求項 9】 前記 D 型フリップフロップは、そのクロック入力の立ち上がりタイミングで前記第 1, 第 2 の信号を取り込む

ことを特徴とする請求項 8 記載の PLL 回路。

【請求項 10】 前記第 1, 第 2 および第 3 の論理演算回路は、OR 回路によって構成されている

ことを特徴とする請求項 5 記載の PLL 回路。

【請求項 11】 前記第 1, 第 2 および第 3 の格納回路は、フリップフロップによって構成されている

ことを特徴とする請求項 5 記載の PLL 回路。

【請求項 12】 前記フリップフロップが D 型フリップフロップであることを特徴とする請求項 11 記載の PLL 回路。

【請求項 13】 光信号を受光し、この光信号を電気信号に変換して出力する受光手段と、前記受光手段の出力信号に同期したクロック信号を生成する PL

L回路と、前記PLL回路で生成されたクロック信号に基づいて前記受光手段の出力信号に対してリタイミング処理を行うリタイミング回路とを具備する光通信受信装置であって、

前記PLL回路は、

発振周波数が可変な発振器と、

前記発振器の発振周波数信号と入力信号との位相を比較し、その比較結果に基づいて前記発振器の発振周波数信号の位相を進める第1の位相制御信号または位相を遅らせる第2の位相制御信号を出力する位相検出回路と、

前記発振器の発振周波数信号に基づいて位相の異なる第1、第2の信号を発生する信号発生回路と、

前記信号発生回路で発生される前記第1、第2の信号を前記入力信号に同期してその周期ごとに取り込むとともに、その取り込んだ信号と1周期前に取り込んだ信号とを論理演算してその演算結果に基づいて前記発振器の発振周波数信号の周波数を上げる第1の周波数制御信号または周波数を下げる第2の周波数制御信号を出力する周波数検出回路とを有する

ことを特徴とする光通信受信装置。

【請求項14】 前記第1、第2の信号がクロック信号である

ことを特徴とする請求項13記載の光通信受信装置。

【請求項15】 前記第1、第2の信号の位相が互いに90°異なる

ことを特徴とする請求項14記載の光通信受信装置。

【請求項16】 前記周波数検出回路は、前記入力信号に同期してその周期ごとに前記第1の信号を取り込む第1のサンプリング回路と、前記入力信号に同期してその周期ごとに前記第2の信号を取り込む第2のサンプリング回路と、前記第1、第2のサンプリング回路で取り込まれた信号を保持し、その保持した信号と前記第1、第2のサンプリング回路で次に取り込まれる信号とを論理演算してその演算結果に基づいて前記第1の周波数制御信号または前記第2の周波数制御信号を発生する制御ロジック回路からなる

ことを特徴とする請求項13記載の光通信受信装置。

【請求項17】 前記制御ロジック回路は、前記第1、第2のサンプリング

回路の各出力信号を論理演算する第 1 の論理演算回路と、前記第 1 の論理演算回路の出力信号を格納する第 1 の格納回路と、前記第 1, 第 2 のサンプリング回路の各出力信号と前記第 1 の格納回路の格納信号とを論理演算する第 2 の論理演算回路と、前記第 1, 第 2 のサンプリング回路の各出力信号を論理処理した信号と前記第 1 の格納回路の格納信号とを論理演算する第 3 の論理演算回路と、前記第 2 の論理演算回路の出力信号を格納する第 2 の格納手段と、前記第 3 の論理演算回路の出力信号を格納する第 3 の格納手段とを有する。

ことを特徴とする請求項 1 6 記載の光通信受信装置。

【請求項 1 8】 前記第 1, 第 2 のサンプリング回路は、前記入力信号の立ち上がりまたは立ち下りのタイミングで前記第 1, 第 2 の信号をそれぞれサンプリングする。

ことを特徴とする請求項 1 6 記載の光通信受信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、PLL (phase locked loop; 位相ロックループ) 回路および光通信受信装置に関し、特に位相検出回路および周波数検出回路を有する PLL 回路およびこれを受信データのリタイミング処理に用いるためのクロック信号の生成回路として用いた光通信受信装置に関する。

【0002】

【従来の技術】

図 1 1 に、現在一般的に用いられている PLL 回路の構成を示す。この PLL 回路は、位相検出 (PD) 回路 1 0 1 および周波数検出 (FD) 回路 1 0 2 を有しており、その動作は次の通りである。

【0003】

先ず、周波数検出回路 1 0 2 において、入力信号 DATA とクロック信号 (ICLK, QCLK) との周波数比較を行う。そして、その比較結果に基づいてチャージポンプ (CP) 回路 1 0 4 およびループフィルタ 1 0 5 介して VCO (電圧制御発振器) 1 0 6 の周波数クロック VCOCCLK の周波数を制御することに

より、目標の発振周波数に引き込む。尚、クロック信号（ICLK, QCLK）は、クロック発生器107において、VCO106の発振周波数クロックVCOCLKに基づいて生成される。

【0004】

次に、位相検出回路101において、入力信号DATAとVCO106の発振周波数クロックVCOCLKとの位相比較を行う。そして、その比較結果に基づいてチャージポンプ回路103およびループフィルタ105を介してVCO106の発振周波数クロックVCOCLKの位相を制御することにより、入力信号DATAの位相に対してVCO106の発振周波数クロックVCOCLKの位相を一致させる。

【0005】

この種のPLL回路において、周波数比較回路102として、従来、図12に示す構成のものが用いられていた。以下、この周波数比較回路102の具体的な回路構成およびその動作について説明する。

【0006】

なお、ここでは、NRZ (non-return-to-zero; 非ゼロ復帰) 波形のデジタル信号DATAが周波数比較回路102に入力されるものとする。また、クロック発生器107では、VCO106の発振周波数クロックVCOCLKを、所定の分周比 $1/n$ （本例では、 $n=1$ ）で分周することによってロック信号ICLKが、またこれを 90° 位相シフトすることによってクロック信号QCLKがそれぞれ得られ、これらクロック信号ICLK, QCLK周波数比較回路102に与えられるものとする。

【0007】

先ず、NRZ波形の入力信号DATAが与えられるデータ入力端子111は、D-FF（D型フリップフロップ）112のD（データ）入力端子に接続されるとともに、EX-OR（排他的論理和）ゲート113の一方の入力端子Aに接続されている。一方、クロック信号ICLKが与えられるICLK入力端子114はANDゲート116, 117の各一方の入力端子Aに接続され、クロック信号QCLKが与えられるQCLK入力端子115はANDゲート116, 117の

各他方の入力端子Bに接続されている。ただし、ANDゲート117の一方の入力端子Aは、クロック信号ICLKの極性が反転されて入力される反転入力端子である。

【0008】

ANDゲート116, 117の各出力端子は、D-FF118, 119の各D入力端子に接続されている。これらD-FF118, 119の各CLK（クロック）入力端子には、EX-ORゲート113の出力端子が接続されている。D-FF118, 119の各Q出力端子はD-FF120, 121の各D入力端子に接続され、これらD-FF120, 121の各Q出力端子はD-FF122, 123の各D入力端子に接続されている。なお、D-FF112およびD-FF120～123の各CLK端子は、ICLK入力端子114に接続されている。

【0009】

D-FF122のQ出力端子は、ANDゲート124の一方の入力端子Aに接続されている。D-FF123のQ出力端子は、ANDゲート125の他方の入力端子Bに接続されている。D-FF120のQ出力端子はさらにANDゲート125の一方の入力端子Aに接続され、D-FF121のQ出力端子はさらにANDゲート124の他方の入力端子Bに接続されている。そして、ANDゲート124, 125の各出力端子は、回路出力端子126, 127にそれぞれ接続されている。

【0010】

なお、ANDゲート124からはその出力信号として、図11のVCO106の発振周波数を下げる方向に制御するDOWNパルス信号が導出され、ANDゲート125からはその出力信号として上記発振周波数を上げる方向に制御するUPパルス信号が導出される。そして、DOWNパルス信号およびUPパルス信号は、回路出力端子126, 127を介して図11のチャージポンプ回路104へ供給される。

【0011】

次に、上記構成の周波数検出回路の回路動作について、図13のタイミングチャートを参照して説明する。なお、図13のタイミングチャートにおいて、波形

(a) ~ (o) は、図11の各ノード(a) ~ (o)の波形をそれぞれ示している。

【0012】

先ず、クロック信号ICLK(a)は、時刻 t_0 で立ち上がって“H”レベルになり、時刻 t_2 で立ち下がって“L”レベルになるパルス波形である。以下同様に、時刻 t_4 , t_8 , t_{12} , ...で立ち上がり、時刻 t_6 , t_{10} , ...で立ち下がる。このクロック信号ICLK(a)は、ICLK入力端子114を介してANDゲート116, 117の各一方の入力端子Aに供給されるとともに、D-FF112およびD-FF120~123の各CLK端子に供給される。

【0013】

クロック信号ICLK(a)に対して、クロック信号QCLK(b)は 90° 位相シフトされた、具体的には 90° 位相が遅れたパルス波形となっている。すなわち、時刻 t_1 , t_5 , t_9 , ...で立ち上がって“H”レベルになり、時刻 t_3 , t_7 , t_{11} , ...で立ち下がって“L”レベルになる。このクロック信号QCLK(b)は、QCLK入力端子115を介してANDゲート116, 117の各他方の入力端子Bに供給される。

【0014】

ANDゲート116は、クロック信号ICLK(a)とクロック信号QCLK(b)との論理積をとることから、これらクロック信号ICLK, QCLKが共に“H”レベルとなる期間、即ち時刻 $t_1 \sim t_2$ の期間、時刻 $t_5 \sim t_6$ の期間、時刻 $t_9 \sim t_{10}$ の期間で、その出力信号(c)が“H”レベルとなる。それ以外の期間、即ち時刻 $t_0 \sim t_1$ 、時刻 $t_2 \sim t_5$ の期間、時刻 $t_6 \sim t_9$ の期間、時刻 $t_{10} \sim t_{12}$ の期間では、出力信号(c)は“L”レベルとなる。

【0015】

一方、ANDゲート117は、クロック信号ICLK(a)の反転クロック信号ICLKXとクロック信号QCLK(b)との論理積をとることから、これらクロック信号ICLKX, QCLKが共に“H”レベルとなる期間、即ち時刻 $t_2 \sim t_3$ の期間、時刻 $t_6 \sim t_7$ の期間、時刻 $t_{10} \sim t_{11}$ の期間で、その出力信号(d)が“H”レベルとなる。それ以外の期間、即ち時刻 $t_0 \sim t_2$ 、時

刻 $t_3 \sim t_6$ の期間、時刻 $t_7 \sim t_{10}$ の期間、時刻 t_{11} 以降の期間では、出力信号 (d) は “L” レベルとなる。

【0016】

図13のタイミングチャートにおいて、出力信号 (c) の “H” レベルの期間を期間A、出力信号 (d) の “H” レベルの “H” レベルの期間を期間Bとそれぞれ記す。

【0017】

一方、NRZの入力信号DATA (f) は、データ入力端子111を介して直接、EX-ORゲート113の一方の入力端子Aに供給されるとともに、D-FF112のD入力端子に供給される。D-FF112は、クロック信号ICLK (a) の立ち上がりタイミングでD入力端子の入力波形の “H” レベル / “L” レベルを取り込む。この場合、時刻 t_0 では入力信号DATA (f) が “H” レベルとすると、これを取り込むことでそのQ出力信号 (e) が “H” レベルとなる。

【0018】

また、時刻 t_1 と t_2 の間で入力信号DATA (f) が変化し、その極性が反転していることから、次のクロック信号ICLK (a) の立ち上がりタイミング t_4 では、“L” レベルの入力信号DATA (f) を取り込み、そのQ出力信号 (e) が “L” レベルになる。さらに、時刻 t_6 と t_7 の間で入力信号DATA (f) の極性が再度反転していることから、次のクロック信号ICLK (a) の立ち上がりタイミング t_8 で “H” レベルの入力信号DATA (f) の “H” レベルを取り込み、そのQ出力信号 (e) が “H” レベルになる。それ以降時刻 t_{12} までは、この “H” レベルを維持し続ける。

【0019】

このD-FF112のQ出力信号 (e) は、EX-ORゲート113の他方の入力端子Bに供給され、このEX-ORゲート113において、その一方の入力端子Aに供給される入力信号DATA (f) との排他的論理和演算が行われる。その結果、EX-ORゲート113の出力信号 (g) は、図13のタイミングチャートから明らかなように、時刻 $t_1 \sim t_2$ の期間中の入力信号DATA (f)

の反転時に“L”レベルから“H”レベルに遷移し、D-FF112のQ出力信号(e)が“L”レベルに遷移する時刻t4で“L”レベルへ遷移する。

【0020】

この時刻t4から入力信号DATA(f)のデータ反転期間の間、EX-ORゲート113の出力信号(g)は“L”レベルを維持し続ける。そして、時刻t6とt7の間で入力信号DATA(f)が反転すると、その反転タイミングでEX-ORゲート113の出力信号(g)は“L”レベルから“H”レベルへ遷移する。

【0021】

続いて、時刻t8になると、D-FF112のQ出力信号(e)が“L”レベルから“H”レベルに遷移するので、入力信号DATA(f)の“H”レベルとこのQ出力信号(e)の“H”レベルとの排他的論理和演算が行われることで、EX-ORゲート113の出力信号(g)が“L”レベルに遷移する。そして、それ以降の時刻t8～t12の期間においては、EX-ORゲート113の出力信号(g)のレベルは変化しない。

【0022】

ANDゲート116, 117の各出力信号(c), (d)は、次段のD-FF118, 119の各D入力端子に供給される。D-FF118, 119は、EX-ORゲート113の出力信号(g)をCLK入力としており、このクロック波形の立ち上がりのタイミングでD入力波形を取り込み、そのレベルをQ出力信号(h), (k)として導出する。

【0023】

ここで、EX-ORゲート113の出力信号(g)が時刻t1～t2の期間で立ち上がり、この期間ではANDゲート116の出力信号(c)が“H”レベル、ANDゲート117の出力信号(d)が“L”レベルであるから、D-FF118のQ出力信号(h)が“H”レベルに、D-FF119のQ出力信号(k)が“L”レベルになる。

【0024】

EX-ORゲート113の出力信号(g)が次に“L”レベルから“H”レベ

ルに遷移するタイミングは、時刻 $t_6 \sim t_7$ の期間における入力信号 DATA (f) の変化点である。このタイミングにおける AND ゲート 116 の出力信号 (c) が “L” レベル、AND ゲート 117 の出力信号 (d) が “H” レベルであるから、D-FF 118 の Q 出力信号 (h) が “H” レベルから “L” レベルに遷移し、D-FF 119 の Q 出力信号 (k) が “L” レベルから “H” レベルに遷移し、時刻 t_{12} までこれらのレベルを維持し続ける。

【0025】

これら D-FF 118, 119 の各 Q 出力信号 (h), (k) は D-FF 120, 121 の各 D 入力端子に供給される。D-FF 120, 121 は、クロック信号 ICLK (a) を CLK 入力としており、その波形の立ち上がりタイミングで D 入力波形を取り込む。ここで、クロック信号 ICLK (a) の立ち上がりタイミングは時刻 t_4 であり、そのときの D-FF 118 の Q 出力信号 (h) が “H” レベル、D-FF 119 の Q 出力信号 (k) が “L” レベルであるので、D-FF 120 の Q 出力信号 (i) は “H” レベルに、D-FF 121 の Q 出力信号 (l) は “L” レベルになる。

【0026】

クロック信号 ICLK (a) の次の立ち上がりタイミングは時刻 t_8 であり、このときの D-FF 118 の Q 出力信号 (h) が “L” レベルであるので、D-FF 120 の Q 出力信号 (i) は “L” レベルに遷移し、また D-FF 119 の Q 出力信号 (k) が “H” レベルであるので、D-FF 121 の Q 出力信号 (l) は “H” レベルに遷移する。そして、これら Q 出力信号 (i), (l) の各レベルは、時刻 t_{12} まで維持される。

【0027】

D-FF 120, 121 の各 Q 出力信号 (i), (l) は次段の D-FF 122, 123 の各 D 入力端子に供給される。これら D-FF 122, 123 も、クロック信号 ICLK (a) を CLK 入力としており、その波形の立ち上がりタイミングで D 入力波形を取り込む。ここで、クロック信号 ICLK (a) の立ち上がりタイミングは時刻 t_8 であり、この時点での D-FF 120, 121 の Q 出力信号 (i), (l) の各レベルを取り込むことになり、その結果、D-FF 1

22のQ出力信号(j)は“H”レベルに、D-FF123のQ出力信号(m)は“L”レベルになる。

【0028】

クロック信号ICLK(a)が次に立ち上がるタイミングは時刻t12であり、そのタイミングでのD-FF120のQ出力信号(i)が“L”レベル、D-FF121のQ出力信号(l)が“H”レベルであるから、D-FF122のQ出力信号(j)は“H”レベルから“L”レベルに、D-FF123のQ出力信号(m)は“L”レベルから“H”レベルにそれぞれ遷移する。

【0029】

D-FF122のQ出力信号(j)は、ANDゲート124の入力端子Aに供給される。ANDゲート124の入力端子Bには、D-FF121のQ出力信号(l)が供給される。これにより、ANDゲート124の出力信号(n)であるDOWNパルス信号は、時刻t4でD-FF121のQ出力信号(l)が“L”レベルに遷移するので“L”レベルになり、時刻t8になるとD-FF121, 122の各Q出力信号(l), (j)が共に“H”レベルに遷移するので“H”レベルになる。

【0030】

また、時刻t12になると、D-FF121のQ出力信号(l)のレベルは変化せず“H”レベルのままであるが、D-FF122のQ出力信号(j)のレベルが“H”レベルから“L”レベルに遷移するので、ANDゲート124の出力信号(n)、即ちDOWNパルス信号は“H”レベルから“L”レベルに遷移する。

【0031】

一方、D-FF123のQ出力信号(m)は、ANDゲート125の入力端子Bに供給される。ANDゲート125の入力端子Aには、D-FF120のQ出力信号(i)が供給される。これにより、ANDゲート125の出力信号(o)であるUPパルス信号は、時刻t8でD-FF120, 123の各Q出力信号(i), (m)が共に“L”レベルに遷移するので“L”レベルとなる。また、時刻t12になると、D-FF123のQ出力信号(m)が“H”レベルに遷移す

るが、D-F F 1 2 0 の Q 出力信号 (i) が “L” レベルであるので、AND ゲート 1 2 5 の出力信号 (o) は “L” レベルを維持する。

【 0 0 3 2 】

以上から、図 1 2 の周波数検出回路の動作をまとめると次のようになる。ある DATA 変化時点において (I C L K, Q C L K) = (0, 1) をサンプリングした後の次の DATA 変化時点で (1, 1) をサンプリングすると、クロック信号 I C L K の 1 周期分の長さの UP パルス信号を出力する。すなわち、この 2 つの DATA 変化点の間に m (m は任意の整数) ビットのデータが存在すると、この間のクロック信号 I C L K は m サイクル以下存在することになるから、クロック信号 I C L K の周波数を高くするため、UP パルス信号のパルスが生じることになる。

【 0 0 3 3 】

また、ある DATA 変化時点において (I C L K, Q C L K) = (0, 1) をサンプリングした後の次の DATA 変化時点で (0, 0) をサンプリングすると、クロック信号 I C L K の 1 周期分の長さの DOWN パルス信号を出力する。すなわち、この 2 つの DATA 変化点の間に m' (m' は任意の整数) ビットのデータが存在すると、この間のクロック信号 I C L K は m' サイクル以上存在することになるから、クロック信号 I C L K の周波数を低くするため、DOWN パルス信号のパルスが生じることになる。

【 0 0 3 4 】

クロック信号 I C L K と入力信号 DATA の周波数が完全に一致しているときは、(0, 0), (0, 1), (1, 0), (1, 1) のいずれかを DATA 変化時点でサンプリングし続け、UP パルス信号、DOWN パルス信号のパルスは発生しない。

【 0 0 3 5 】

このように、AND ゲート 1 2 4 の出力信号 (n) を DOWN パルス信号として、また AND ゲート 1 2 5 の出力信号 (o) を UP パルス信号として、図 1 1 のチャージポンプ回路 1 0 4 に供給する。そして、これら DOWN / UP パルス信号によって当該チャージポンプ回路 1 0 4 を制御し、その出力電流を平滑化 (

整流) することで、ループフィルタ105を介してVCO106の制御電圧を発生させる。

【0036】

以上においては、入力信号DATAやクロック信号(ICLK, QCLK)のデューティ比をそれぞれ100%、50%として周波数検出回路102の動作を説明した。しかしながら、特に光通信などにおいては、図14(b), (c)に示すように、伝送信号DATAにはデューティ歪が生じているため、PLL回路が誤動作する可能性がある。図15に、デューティ歪のある場合のクロックICLK, QCLKおよび伝送信号DATAの各波形を示す。

【0037】

【発明が解決しようとする課題】

上述したように、従来例に係る周波数検出回路では、入力信号DATAの変化点でクロック信号ICLKとクロック信号QCLKの値をサンプリングしているので、周波数が完全に一致していると、図13に対応した時刻t2とt3の期間のサンプリング値はクロック信号ICLKが“0”、クロック信号QCLKが“1”であり、また次のDATA変化点t6とt7の間でのサンプリング値はクロック信号ICLKが“0”、クロック信号QCLKが“1”、さらに時刻t10とt11の間のDATA変化点でのサンプリング値はやはりクロック信号ICLKが“0”、クロック信号QCLKが“1”となり、3つの変化点のサンプリング値はいずれも同じであることがわかる。

【0038】

しかし、入力信号DATAが歪、デューティ比が異なる場合のタイミング関係を示す図15のタイミングチャートから明らかなように、クロック信号ICLKを90°位相遅延したものがクロック信号QCLKであり、これにして入力信号DATAのデューティ比が大きくなり、クロック信号ICLKの周期よりも大きい場合、時刻t1とt2間で入力信号DATAが立ち上がると、この立ち上がりエッジでのクロック信号ICLKのレベルが“1”、クロック信号QCLKのレベルが“1”である。

【0039】

次に、入力信号DATAの立ち下がりエッジ t_7 と t_8 の間においては、クロック信号ICLK, QCLKのレベルが共に“0”となり、入力信号DATAの立ち上がり立ち下がりエッジにおけるクロック信号ICLK, QCLKのサンプリング値は(1, 1)から(0, 0)と変化してしまい、誤動作することが解かる。

【0040】

また、入力信号DATAのデューティ比がクロック信号ICLKの周期よりも小さくなると、図示してあるように、時刻 t_3 と t_4 の間にある立ち上がりエッジではクロック信号ICLK, QCLKのレベルが共に“0”となる。しかし、時刻 t_5 と t_6 の期間にある入力信号DATAの立ち下がりエッジのクロック信号ICLK, QCLKのレベルが共に“1”となり、(0, 0)から(1, 1)とクロック信号ICLK, QCLKのサンプリング値が異なってくる。

【0041】

その結果、周波数検出回路は誤動作してしまう。すなわち、従来例に係る周波数検出回路では、入力信号DATAの立ち上がりおよび立ち下がりの遷移点の両方で、即ち入力信号DATAの1/2周期でクロック信号ICLKとクロック信号QCLKをサンプリングしているため、入力信号DATAが歪、デューティ比が変化した場合に回路が誤動作するという課題があった。

【0042】

【課題を解決するための手段】

上記課題を解決するために、本発明では、VCO、位相検出回路および周波数検出回路を有するPLL回路、あるいはこのPLL回路を用いた光通信受信装置において、周波数検出回路を次のように構成とした。すなわち、VCOの発振周波数信号に基づく、位相の異なる第1, 第2の信号を入力信号に同期してその周期ごとに取り込むとともに、その取り込んだ信号と1周期前に取り込んだ信号とを論理演算し、その演算結果に基づいてVCOの発振周波数信号の周波数を上げる第1の周波数制御信号または周波数を下げる第2の周波数制御信号を出力する構成とする。

【0043】

上記構成の周波数検出回路において、位相の異なる第 1, 第 2 の信号を入力信号の周期ごとに取り込む、即ち入力信号の立ち上がりタイミング（または、立ち下がりタイミング）のみで行うことで、入力信号のデューティ比が変化しても、入力信号と第 1, 第 2 の信号との周波数が一致している場合、その取り込み値は常に等しくなる。これにより、入力信号のデューティ比が変化した場合であっても、入力信号と第 1, 第 2 の信号との周波数が一致している限り、誤った第 1 / 第 2 の周波数制御信号を発生することはなく、安定した PLL 動作ができる。

【 0 0 4 4 】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。図 1 は、本発明の一実施形態に係る PLL 回路の構成例を示すブロック図である。ここでは、本 PLL 回路が例えば光通信における受信装置に用いられる場合を例に採って説明するものとするが、この適用例に限られるものではない。

【 0 0 4 5 】

図 1 において、本 PLL 回路 1 0 は、位相検出 (PD) 回路 1 1、周波数検出 (FD) 回路 1 2、チャージポンプ (CP) 回路 1 3, 1 4、ループフィルタ 1 5、VCO (電圧制御発振器) 1 6 およびクロック発生器 1 7 を有する構成となっている。そして、本 PLL 回路 1 0 の回路入力端子 1 8 には、シリアルデジタル信号 DATA が入力信号される。ここで、光通信で用いられるデジタル信号 DATA としては、NRZ の信号 (波形) が採用されている。

【 0 0 4 6 】

回路入力端子 1 8 は、位相検出回路 1 1 の一方の入力端子 (データ入力端子) および周波数検出回路 1 2 のデータ入力端子 1 2 1 に接続されている。位相検出回路 1 1 の他方の入力端子は、VCO 1 6 の出力端子に接続されている。周波数検出回路 1 2 の ICLK 入力端子 1 2 2 および QCLK 入力端子 1 2 3 は、クロック発生器 1 7 の ICLK 出力端子 1 7 1 および QCLK 出力端子 1 7 2 にそれぞれ接続されている。

【 0 0 4 7 】

位相検出回路 1 1 の出力端子は、チャージポンプ回路 1 3 の入力端子に接続さ

れている。チャージポンプ回路13の出力端子は、ループフィルタ15を介してVCO16の制御入力端子に接続されている。周波数検出回路12の出力端子127, 128は、チャージポンプ回路14の対応する入力端子にそれぞれ接続されている。チャージポンプ回路14の出力端子も、ループフィルタ15を介してVCO16の制御入力端子に接続されている。

【0048】

ループフィルタ15は、例えば、チャージポンプ回路13, 14の各出力端子間に接続された抵抗R11と、チャージポンプ回路14の出力端子とグランドとの間に接続されたコンデンサC11とからなるローパスフィルタ構成となっている。VCO16の出力端子は、先述したように、位相比較回路11の他方の入力端子に接続されているとともに、回路出力端子19およびクロック発生器17のクロック入力端子173に接続されている。

【0049】

クロック発生器17は、分周器174および移相回路175を有し、VCO16の発振周波数クロックに基づいて互いに位相が異なる第1, 第2の信号、例えば、VCO発振周波数クロックと同相(In Phase)のクロック信号ICLKとこのクロック信号ICLKに対して90°(Quadrature Phase)位相シフト(移相)したクロック信号QCLKとを発生する。

【0050】

具体的には、分周器174は、VCO16の発振周波数クロックを所定の分周比($1/n$)で分周して移相回路175に供給する。移相回路175は、分周器174での分周クロックを、そのままクロック信号ICLKとして出力端子171から、またこのクロック信号ICLKに対して90°位相をシフトしてクロック信号QCLKとして出力端子172からそれぞれ出力する。

【0051】

上記構成のPLL回路10において、NRZのデジタル信号は、回路入力端子18を介して位相検出回路11の一方の入力端子および周波数検出回路12のデータ入力端子121に供給される。一方、位相検出回路の他方の入力端子にはVCO16の発振周波数クロックが供給され、また周波数検出回路12のICL

K出力端子122およびQCLK出力端子123にはクロック発生器17で発生されるクロック信号ICLK, QCLKがそれぞれ供給される。

【0052】

周波数検出回路12は、2つのD-FF124, 125および制御ロジック回路126を有する構成となっている。D-FF124は、そのD入力端子がICLK入力端子122に、CLK端子がデータ入力端子121にそれぞれ接続されている。D-FF125は、そのD入力端子がQCLK入力端子123に、CLK端子がデータ入力端子121にそれぞれ接続されている。

【0053】

ここで、2つのD-FF124, 125および制御ロジック回路126からなる周波数検出回路12の回路動作にいて、図2のタイミングチャートを用いて説明する。

【0054】

まず、ICLK入力端子122に供給されるクロック信号ICLKのタイミング波形は、時刻t0から時刻t2の期間で“H”レベル、時刻t2から時刻t4の期間で“L”レベル、時刻t4から時刻t6の期間で“H”レベル、時刻t6から時刻t8の期間で“L”レベル、時刻t8から時刻t10の期間で“H”レベル、時刻t10から時刻t12の期間で“L”レベル、さらに時刻t12から時刻t14の期間で“H”レベルとなっている。

【0055】

また、QCLK入力端子123に供給されるクロック信号QCLKは、クロック信号ICLKに対して90°位相を遅延した波形であり、時刻t1から時刻t3の期間で“H”レベル、時刻t3から時刻t5の期間で“L”レベル、時刻t5から時刻t7の期間で“H”レベル、時刻t7から時刻t9の期間で“L”レベル、時刻t9から時刻t11の期間で“H”レベル、時刻t11から時刻t13の期間で“L”レベル、さらに時刻t13から時刻t15の期間で“H”レベルとなっている。

【0056】

一方、データ入力端子121に供給される入力信号DATAの波形は、時刻t

0から時刻 t_2 まで“L”レベル、時刻 t_2 から時刻 t_6 まで“H”レベル、時刻 t_6 から時刻 t_{10} まで“L”レベル、時刻 t_{10} から時刻 t_{13} まで“H”レベル、時刻 t_{13} 以降“L”レベルとなっている。

【0057】

ここで、D-FF124, 125のD入力データの取り込みタイミングをクロックの立ち上がりとすると、時刻 t_2 のタイミングでクロック信号ICLKとクロック信号QCLKの論理レベル、 $(ICLK, QCLK) = (0, 1)$ を取り込み、そのデータに対応した値をQ出力信号として次段の制御ロジック回路126に供給する。

【0058】

この周波数検出回路12は、D-FF124, 125のD入力端子に供給されるデータが特定の値 $(0, 1)$ をサンプリングしたときにウィンドウを開き、次のサンプリング値によって比較結果を出力する機能を持っている。

【0059】

入力信号DATAの時刻 t_2 の次の立ち上がりタイミングにおいて、その立ち上がりタイミングが時刻 t_{10} であると、D-FF124, 125におけるD入力端子のデータ取り込み値は $(0, 1)$ となる。このときは、次段の制御ロジック回路126において、周波数が一致していると判断し、何も出力しない。

【0060】

また、 $(0, 1)$ を取り込んだ後、次の取り込みタイミングが時刻 t_9 と t_{10} の間とすると、データの取り込み（サンプリング）は $(1, 1)$ となる。このときは、次段の制御ロジック回路126において、クロックの周波数が低いと判断し、周波数を高めるためのUPパルス信号を出力する。一方、 $(0, 1)$ を取り込んだ後、次の取り込みタイミングが時刻 t_{10} と t_{12} で $(0, 0)$ をサンプリングする場合、制御ロジック回路126において、クロックの周波数が高いと判断し、周波数を低めるためのDOWNパルス信号を出力する。

【0061】

このように、周波数検出回路12で周波数検出して得られたUP/DOWNパルス信号のデジタル信号（パルス信号）は、次段のチャージポンプ回路14に

供給され、当該回路14のトランジスタをON/OFFして例えば電流の流出／流入を行う。この電流制御するチャージポンプ回路14は、例えばMOSトランジスタやバイポーラトランジスタによって構成される。チャージポンプ回路14の出力電流は、ループフィルタ15で整流されてDC電圧（直流信号）に変換される。

【0062】

このDC電圧は、VCO16にその制御電圧として与えられる。VCO16は例えばバリキャップを有する構成となっており、このバリキャップに対して制御電圧が印加される。バリキャップは、その印加される制御電圧に応じて容量が変化することによってVCO16の発振周波数クロックの周波数を制御する。この発振周波数クロックは、クロック発生器17を介して周波数検出回路12に帰還される。

【0063】

周波数検出回路12は、この帰還されたクロック信号ICLK、QCLKとNRZのデジタル信号DATAとの周波数比較を行う。上述した周波数比較による周波数制御の動作が繰り返されることによってVCO16の発振周波数クロックの周波数が入力信号DATAの目標周波数にロックされる。このロック状態でループフィルタ15の出力電圧は一定になり、これ以降、周波数が変動しない限り変化しない。

【0064】

VCO16の発振周波数クロックの周波数が入力信号DATAの目標周波数にロックされると、周波数検出回路12の動作は固定された状態（ループフィルタ15の出力電圧が一定）になり、この周波数検出回路12の動作に引き続いて、位相検出回路11が実質的に動作することになる。

【0065】

すなわち、周波数検出回路12の検出出力に基づくDC電圧に、位相検出回路11の検出出力に基づくDC電圧がループフィルタ15で重畳されてVCO16に印加する制御電圧をさらに変化させることにより、VCO16の発振周波数クロックの位相を制御する。

【0066】

具体的には、位相検出回路11において、入力信号DATAに対するVCO16の発振周波数クロックの位相の遅れ／進みを検出する。この位相の遅れ／進みに応じて位相検出回路11の出力デジタル（パルス）信号は、次段のチャージポンプ回路13に供給され、当該回路13のトランジスタをON/OFFして例えば電流の流出／流入を行う。この電流制御するチャージポンプ回路13は、周波数検出回路12側のチャージポンプ回路14と同様に、例えばMOSトランジスタやバイポーラトランジスタによって構成される。

【0067】

チャージポンプ回路13の出力電流は、ループフィルタ15で整流されてDC電圧に変換される。このDC電圧は、周波数検出回路12側のDC電圧にループフィルタ15で重畳されてVCO16にその制御電圧として供給され、先述したバリキャップに印加される。バリキャップは、その印加される制御電圧に応じて容量が変化することによってVCO16の発振周波数クロックについてその位相を制御する。

【0068】

この位相が制御されたVCO16の発振周波数クロックは、位相比較回路11に帰還される。位相検出回路11は、この帰還されたVCO16の発振周波数クロックとNRZのデジタル信号DATAとの位相比較を行う。そして、上述した位相検出および位相制御の動作が繰り返されて、最終的には、VCO16の発振周波数クロックの位相も入力信号DATAと一致することになる。

【0069】

なお、本PLL回路10では、チャージポンプ回路13、14としてシングル出力構成のものを、VCO16としてシングル入力構成のものをそれぞれ用いるとともに、ループフィルタ15として、チャージポンプ回路13、14の各出力端子間に接続された抵抗R11と、チャージポンプ回路14の出力端子とグランドとの間に接続されたコンデンサC11とからなるものを用いる構成としたが、PLL回路としてはこの構成のものに限られるものではない。

【0070】

すなわち、例えば図3に示すように、チャージポンプ回路13'、14'として差動出力構成のものを、VCO16'として差動入力構成のものをそれぞれ用いるとともに、ループフィルタ20として、チャージポンプ回路13'、14'の各一方の出力端子間に接続された抵抗R12と、チャージポンプ回路14'の差動出力端子間に接続されたコンデンサC12と、チャージポンプ回路14'、13'の各他方の出力端子間に接続された抵抗R13とからなる構成のPLL回路10'であっても良い。

【0071】

図4に、上述した本発明に係るPLL回路10(10')で用いられる周波数検出回路12の具体的な回路構成の一例、特に先述した制御ロジック回路126の内部構成の一例を示す。先ず、その回路構成について説明する。

【0072】

図4において、ICLK入力端子31にはクロック信号ICLKが、QCLK入力端子32にはクロック信号QCLKがそれぞれ供給される。また、データ入力端子33にはNRZのデジタル信号DATAが供給される。ここで、ICLK入力端子31、QCLK入力端子32およびデータ入力端子33は、図1のICLK入力端子122、QCLK入力端子123およびデータ入力端子121にそれぞれ対応している。

【0073】

ICLK入力端子31はD-FF34のD入力端子に接続され、QCLK入力端子32はD-FF35のD入力端子に接続されている。データ入力端子33は、D-FF34、35の各CLK端子に接続されている。これらD-FF34、35は、図1のD-FF124、125にそれぞれ対応している。

【0074】

これら各D-FF34、35は、クロックCLKの立ち上がりでD入力データを取り込む構成となっている。すなわち、D-FF34は入力信号DATAの立ち上がりでクロック信号ICLKをサンプリングする機能を持ち、D-FF35は入力信号DATAの立ち上がりでクロック信号QCLKをサンプリングする機能を持っている。

【 0 0 7 5 】

D-F F 3 4 の Q 出力端子は、2 入力 O R ゲート 3 6 の入力端子 A に接続されるとともに、3 入力 O R ゲート 3 8 の反転入力端子 A に接続され、さらに 3 入力の O R ゲート 3 9 の入力端子 B に接続されている。また、D-F F 3 5 の Q 出力端子は、O R ゲート 3 6 の反転入力端子 B に接続されるとともに、O R ゲート 3 8 の反転入力端子 B に接続され、さらに O R ゲート 3 9 の入力端子 C に接続されている。

【 0 0 7 6 】

O R ゲート 3 6 の出力端子は、D-F F 3 7 の D 入力端子に接続されている。D-F F 3 7 の C L K 入力端子は、I C L K 入力端子 3 1 に接続されている。D-F F 3 7 の Q 出力端子は、O R ゲート 3 8 の入力端子 C に接続されるとともに、O R ゲート 3 9 の入力端子 A に接続されている。

【 0 0 7 7 】

O R ゲート 3 8, 3 9 の各出力端子は、D-F F 4 0, 4 1 の各 D 入力端子にそれぞれ接続されている。D-F F 4 0, 4 1 の各 C L K 入力端子は、I C L K 入力端子 3 1 に接続されている。D-F F 4 0, 4 1 の各 Q 出力端子は、回路出力端子 4 2, 4 3 にそれぞれ接続されている。なお、D-F F 4 0, 4 1 の各 Q 出力端子は反転出力端子となっている。

【 0 0 7 8 】

上述した O R ゲート 3 6、D-F F 3 7、O R ゲート 3 8, 3 9 および D-F F 4 0, 4 1 により、図 1 の制御ロジック回路 1 2 6 が構成されている。但し、この回路構成は一例に過ぎず、これに限定されるものではない。

【 0 0 7 9 】

次に、上記構成の周波数検出回路の回路動作について、図 5 および図 6 のタイミングチャートを用いて説明する。なお、図 5 は U P パルス信号を出力するときのタイミングチャート、図 6 は D O W N パルス信号を出力するときのタイミングチャートをそれぞれ示している。また、図 5 および図 6 において、波形 (a) ~ (k) は、図 4 の各ノード (a) ~ (k) の波形をそれぞれ示している。

【 0 0 8 0 】

先ず、図5のタイミングチャートを用いて、UPパルス信号を出力するときの回路動作について説明する。今、入力信号DATA (c) の波形が、時刻t 2とt 3の間で“L”レベルから“H”レベルに変化し、時刻t 6付近で“H”レベルから“L”レベルに変化し、時刻t 9とt 10の間で“L”レベルから“H”レベルに変化し、それ以降は“H”レベルを維持しているものとする。

【0081】

D-FF 34, 35は、入力信号DATA (c) の波形の立ち上がりエッジでクロック信号ICLK (a), QCLK (b) をそれぞれ取り込む。時刻t 2～t 3の間では、クロック信号ICLK (a) が“L”レベル、クロック信号QCLK (b) が“H”レベルであるため、これらのレベルをD-FF 34, 35が取り込むことで、D-FF 34のQ出力信号(d) が“L”レベル、D-FF 35のQ出力信号(e) が“H”レベルになる。

【0082】

D-FF 34, 35の各CLK端子に供給される入力信号DATA (c) の波形の次の立ち上がりエッジは、時刻t 9とt 10の間に存在し、その時点におけるクロック信号ICLK (a) とクロック信号QCLK (b) の各レベルはそれぞれ“H”レベルである。したがって、D-FF 34のQ出力信号(d) は、時刻t 9とt 10の間で“L”レベルから“H”レベルに変化する。

【0083】

このとき、クロック信号QCLK (b) のレベルが“H”レベルであるため、D-FF 35のQ出力信号(e) は変化せず、“H”レベルのままである。これ以降時刻t 16までは、入力信号DATA (c) の波形は変化せず、また波形の立ち上がりがないため、D-FF 34, 35の各Q出力信号(d), (e) は変化せず、それまでのレベルをそのまま維持する。

【0084】

入力信号DATA (c) が時刻t 2とt 3の間で変化する時点において、D-FF 34のQ出力信号(d) の“L”レベルがORゲート36の入力端子Aに、D-FF 35のQ出力信号(e) の“H”レベルがORゲート36の反転入力端子Bにそれぞれ供給されるため、ORゲート36の出力信号(f) は“L”レベ

ルとなる。また、入力信号DATA (c) の次の変化点の“L”レベルから“H”レベルへの遷移は時刻t 9とt 10の間で起こる。

【0085】

この“L”レベルから“H”レベルへの遷移タイミングにおいて、D-FF 34のQ出力信号(d)は“L”レベルから“H”レベルに変化し、D-FF 35のQ出力信号(e)は“H”レベルのままであるから、ORゲート36の出力信号(f)は、“L”レベルから“H”レベルに変化する。これ以降時刻t 16まで入力信号DATA (c)の波形の変化は無いので、ORゲート36の出力信号(f)は“H”レベルを維持し続ける。

【0086】

ORゲート36の出力信号(f)はD-FF 37のD入力端子に供給される。このD-FF 37にはそのCLK入力として、D-FF 34, 35と異なり、クロック信号ICLK (a)が供給されている。これにより、D-FF 37は、クロック信号ICLK (a)の立ち上がりエッジでそのD入力であるORゲート36の出力信号(f)を取り込む。

【0087】

すなわち、D-FF 37において、クロック信号ICLK (a)の立ち上がりタイミングt 4でORゲート36の出力信号(f)が取り込まれ、その出力信号(g)が“L”レベルになる。また、次のクロック信号ICLK (a)の立ち上がりタイミングt 8においては、ORゲート36の出力信号(f)が“L”レベルであるから、D-FF 37のQ出力信号(g)は変化せず、“L”レベルを維持している。

【0088】

さらに、時刻t 12でのクロック信号ICLK (a)の立ち上がりエッジにおいては、ORゲート36の出力信号(f)が“H”レベルであるから、D-FF 37のQ出力信号(g)は“L”レベルから“H”レベルへ変化する。また、時刻t 16においても同様に、ORゲート36の出力信号(f)が“H”レベルであるから、D-FF 37のQ出力信号(g)も“H”レベルであり、時刻t 16以降もこの“H”レベルの状態を維持する。

【0089】

3入力のORゲート38には、その反転入力端子AにD-FF34のQ出力信号(d)が、その反転入力端子BにD-FF35のQ出力信号(e)が、その入力端子CにD-FF37のQ出力信号(g)がそれぞれ供給される。

【0090】

ここで、D-FF34のQ出力信号(d)の反転信号が、時刻t2とt3の間のDATA立ち上がりエッジから時刻t9とt10の間のDATA立ち上がりエッジまでは“H”レベルになり、このDATA立ち上がりエッジのタイミング以降は“L”レベルであり、D-FF35のQ出力信号(e)の反転信号が、時刻t2とt3の間のDATA立ち上がりエッジ以降は“L”レベルになり、さらにD-FF37のQ出力信号(g)が、時刻t4からt12までは“L”レベル、t12以降は“H”レベルになっている。したがって、ORゲート38の出力信号(h)は、時刻t4から時刻t9とt10の間のDATA立ち上がりエッジまで“H”レベルになり、このDATA立ち上がりエッジの時点から時刻t12まで“L”レベルになり、時刻t12以降は“H”レベルになっている。

【0091】

一方、3入力のORゲート39には、その入力端子AにD-FF37のQ出力信号(g)が、その入力端子BにD-FF34のQ出力信号(d)が、その入力端子CにD-FF35のQ出力信号(e)がそれぞれ供給される。

【0092】

ここで、D-FF34のQ出力信号(d)が、時刻t2とt3の間のDATA立ち上がりエッジから時刻t9とt10の間のDATA立ち下がりエッジまでは“L”レベルになり、このDATA立ち下がりエッジのタイミング以降は“H”レベルであり、D-FF35のQ出力信号(e)が、時刻t2とt3の間のDATA立ち上がりエッジ以降は“H”レベルになり、さらにD-FF37のQ出力信号(g)が、時刻t4からt12までは“L”レベル、t12以降は“H”レベルになっている。したがって、ORゲート39の出力信号(i)は、時刻t4以降は“H”レベルを維持することになる。

【0093】

ORゲート38の出力信号(h)はD-FF40のD入力端子に供給される。D-FF40は、D入力データであるORゲート38の出力信号(h)をクロック信号ICLK(a)に同期して取り込む。すなわち、D-FF40において、時刻t8のクロック信号ICLK(a)の立ち上がりエッジでORゲート38の出力信号(h)の“H”レベルが取り込まれる。

【0094】

これにより、D-FF40の反転Q出力信号(j)が“L”レベルとなる。次のクロック信号ICLK(a)の立ち上がりエッジは時刻t12であり、その時点でのORゲート38の出力信号(h)が“L”レベルであるから、D-FF40の反転Q出力信号(j)が“H”レベルへ変化する。さらに、次のクロック信号ICLK(a)の立ち上がりエッジが時刻t16で、このときのORゲート38の出力信号(h)が“H”レベルであるため、D-FF40の反転Q出力信号(j)は、“H”レベルから“L”レベルへ変化する。このD-FF40の反転Q出力信号(j)をUPパルス信号として用い、回路出力端子42から次段のチャージポンプ回路(図1におけるチャージポンプ回路14)に供給する。

【0095】

一方、ORゲート39の出力信号(i)はD-FF41のD入力端子に供給される。このD-FF41にも、クロック信号ICLK(a)がD入力として供給されているので、D入力データの取り込みはD-FF40と同じ取り込みタイミングとなる。すなわち、時刻t8において、ORゲート39の出力信号(i)が“H”レベルであるから、D-FF41の反転Q出力信号(k)は“L”レベルとなる。

【0096】

また、次のクロック信号ICLK(a)の立ち上がりタイミングt12、t16においても同様に、ORゲート39の出力信号(i)が“H”レベルであるから、D-FF41の反転Q出力信号(k)は“L”レベルを出力し続ける。このD-FF41の反転Q出力信号(k)をDOWNパルス信号として用い、回路出力端子43から次段のチャージポンプ回路(図1におけるチャージポンプ回路14)に供給する。

【0097】

次に、図6のタイミングチャートを用いて、DOWNパルス信号を出力するときの回路動作について説明する。ここで、入力信号DATAの波形が時刻 t_2 と t_3 の間で“L”レベルから“H”レベルに変化し、時刻 t_7 付近で“H”レベルから“L”レベルに変化し、時刻 t_{11} と t_{12} の間で再び“L”レベルから“H”レベルに変化し、その以降は“H”レベルを維持しているとする。

【0098】

D-FF34, 35は、入力信号DATA(c)の波形の立ち上がりエッジでD入力データ、即ちクロック信号ICLK(a), QCLK(b)をそれぞれ取り込む。時刻 $t_2 \sim t_3$ の間では、クロック信号ICLK(a)が“L”レベル、クロック信号QCLK(b)が“H”レベルであるため、これらのレベルをD-FF34, 35がサンプリングして取り込むことで、D-FF34のQ出力信号(d)が“L”レベル、D-FF35のQ出力信号(e)が“H”レベルになる。

【0099】

次に、D-FF34, 35の各CLK端子に供給される入力信号DATA(c)の波形の立ち上がりエッジは、時刻 t_{11} と t_{12} との間に存在し、その時点におけるクロック信号ICLK(a)とクロック信号QCLK(b)の各レベルはそれぞれ“L”レベルである。したがって、D-FF34のQ出力信号(d)は、“L”レベルを維持する。

【0100】

一方、クロック信号QCLK(b)のレベルも“L”レベルであるため、D-FF35のQ出力信号(e)は“H”レベルから“L”レベルに変化する。それ以降は、入力信号DATA(c)の波形が変化せず、また波形の立ち上がりがないため、D-FF34, 35の各Q出力信号(d), (e)は変化せず、それまでのレベルをそのまま維持する。

【0101】

入力信号DATA(c)が時刻 t_2 と t_3 の間で変化する時点において、D-FF34のQ出力信号(d)の“L”レベルがORゲート36の入力端子Aに、

D-FF 35のQ出力信号(e)の“L”レベルがORゲート36の反転入力端子Bにそれぞれ供給されるため、ORゲート36の出力信号(f)は“L”レベルとなる。また、入力信号DATA(c)の次の変化点の“L”レベルから“H”レベルへの遷移は時刻t11とt12の間で起こる。

【0102】

この“L”レベルから“H”レベルへの遷移タイミングにおいて、D-FF 34のQ出力信号(d)は“L”レベルのままであり、またD-FF 35のQ出力信号(e)は“H”レベルから“L”レベルに変化するから、ORゲート36の出力信号(f)は、“L”レベルから“H”レベルに変化する。これ以降入力信号DATA(c)の波形の変化は無いので、ORゲート36の出力信号(f)は“H”レベルを維持し続ける。

【0103】

ORゲート36の出力信号(f)はD-FF 37のD入力端子に供給される。このD-FF 37にはそのCLK入力として、D-FF 34, 35のCLK入力端子に供給されている入力信号DATAと異なり、クロック信号ICLK(a)が供給されている。これにより、D-FF 37は、クロック信号ICLK(a)の立ち上がりエッジでそのD入力であるORゲート36の出力信号(f)を取り込む。

【0104】

すなわち、D-FF 37において、クロック信号ICLK(a)の立ち上がりタイミングt4でORゲート36の出力信号(f)が取り込まれ、その出力信号(g)が“L”レベルになる。また、次のクロック信号ICLK(a)の立ち上がりタイミングt8においては、ORゲート36の出力信号(f)が“L”レベルであるから、D-FF 37のQ出力信号(g)は変化せず、“L”レベルを維持している。

【0105】

さらに、時刻t12でのクロック信号ICLK(a)の立ち上がりエッジにおいて、ORゲート36の出力信号(f)が“H”レベルであるから、D-FF 37のQ出力信号(g)は“L”レベルから“H”レベルへ変化する。また、時刻

t 1 6においても同様に、ORゲート36の出力信号(f)が“H”レベルであるから、D-F F 3 7のQ出力信号(g)も“H”レベルであり、時刻t 1 6以降もこの“H”レベルの状態を維持する。

【0106】

3入力のORゲート38には、その反転入力端子AにD-F F 3 4のQ出力信号(d)が、その反転入力端子BにD-F F 3 5のQ出力信号(e)が、その入力端子CにD-F F 3 7のQ出力信号(g)がそれぞれ供給される。

【0107】

ここで、D-F F 3 4のQ出力信号(d)の反転信号が、時刻t 2とt 3の間のDATA立ち上がりエッジから時刻t 1 8までは“H”レベルになり、D-F F 3 5のQ出力信号(e)の反転信号が、時刻t 2とt 3の間のDATA立ち上がりエッジから時刻t 1 1とt 1 2の間の“L”レベルで、またこの遷移以降は“H”レベルに変化し、さらにD-F F 3 7のQ出力信号(g)が、時刻t 4からt 1 2までは“L”レベル、t 1 2以降は“H”レベルになっている。したがって、ORゲート38の出力信号(h)は、時刻t 4以降“H”レベルになっている。

【0108】

一方、3入力のORゲート39には、その入力端子AにD-F F 3 7のQ出力信号(g)が、その入力端子BにD-F F 3 4のQ出力信号(d)が、その入力端子CにD-F F 3 5のQ出力信号(e)がそれぞれ供給される。

【0109】

ここで、D-F F 3 4のQ出力信号(d)が、時刻t 2とt 3の間のDATA立ち上がりエッジ以降は“L”レベルになり、D-F F 3 5のQ出力信号(e)が、時刻t 2とt 3の間のDATA立ち上がりエッジから時刻t 1 1とt 1 2の間の入力信号DATAの波形の立ち上がりエッジまで“H”レベルで、それ以降“L”レベルであり、さらにD-F F 3 7のQ出力信号(g)が、時刻t 4からt 1 2までは“L”レベル、t 1 2以降は“H”レベルになっている。したがって、ORゲート39の出力信号(i)は、時刻t 4から時刻t 1 1とt 1 2の間で入力信号DATAの立ち上がりエッジ間で“H”レベル、またこのDATA立

ち上がりエッジから時刻 t_{12} の間は “L” レベルとなる。さらに、時刻 t_{12} 以降の期間は “H” レベルを維持し続ける。

【0110】

ORゲート38の出力信号(h)はD-FF40のD入力端子に供給される。D-FF40は、D入力データであるORゲート38の出力信号(h)をクロック信号ICLK(a)に同期して取り込む。すなわち、D-FF40において、時刻 t_8 のクロック信号ICLK(a)の立ち上がりエッジでORゲート38の出力信号(h)の “H” レベルが取り込まれる。

【0111】

その結果、D-FF40の反転Q出力信号(j)が “L” レベルとなる。次のクロック信号ICLK(a)の立ち上がりエッジは時刻 t_{12} , t_{16} であり、その時点でのORゲート38の出力信号(h)が “H” レベルであるから、D-FF40の反転Q出力信号(j)は “L” レベルを維持する。

【0112】

一方、ORゲート39の出力信号(i)はD-FF41のD入力端子に供給される。このD-FF41にも、クロック信号ICLK(a)がD入力として供給されているので、D入力データの取り込みはD-FF40と同じ取り込みタイミングとなる。すなわち、時刻 t_8 において、ORゲート39の出力信号(i)が “H” レベルであるから、D-FF41の反転Q出力信号(k)は “L” レベルとなる。

【0113】

また、次のクロック信号ICLK(a)の立ち上がりエッジのタイミング t_{12} において、ORゲート39の出力信号(i)が “L” レベルであるから、D-FF41の反転Q出力信号(k)は “H” レベルへ変化する。また、時刻 t_{16} でORゲート39の出力信号(i)が “H” レベルであるから、D-FF41の反転Q出力信号(k)は “H” レベルから “L” レベルへ変化する。このD-FF41の反転Q出力信号(k)をDOWNパルス信号として用い、回路出力端子43から次段のチャージポンプ回路(図1におけるチャージポンプ回路14)に供給する。

【0114】

このように、D-FF40の反転Q出力信号であるUPパルス信号(j)は時刻t8からt18の期間で“L”レベルを維持し続ける一方、D-FF41の反転Q出力信号であるDOWNパルス信号(k)は時刻t12からt16の期間で“H”レベルを維持し、次段のチャージポンプ回路14に対する電流制御を行うことにより、VCO16への制御電圧を発生する。

【0115】

以上から、図4の周波数検出回路の回路動作をまとめると次のようになる。あるDATA立ち上がりエッジの時点において、(ICLK, QCLK) = (0, 1)をサンプリングした後の次のDATA立ち上がりエッジ時点で(1, 1)をサンプリングすると、クロック信号ICLKの1周期分の長さのUPパルス信号を出力する。すなわち、この2つのDATA立ち上がりエッジの時点間にm(mは任意の整数)ビットのデータが存在すると、この間のクロック信号ICLKはmサイクル以下存在することになるから、クロック信号ICLKの周波数を高くするために、UPパルス信号のパルスが生じることになる。

【0116】

また、あるDATA立ち上がりエッジ時点において(ICLK, QCLK) = (0, 1)をサンプリングした後の次のDATA立ち上がりエッジ時点で(0, 0)をサンプリングすると、クロック信号ICLKの1周期分の長さのDOWNパルス信号を出力する。すなわち、この2つのDATA立ち上がりエッジの時点の間にm'(m'は任意の整数)ビットのデータが存在すると、この間のクロック信号ICLKはm'サイクル以上存在することになるから、クロック信号ICLKの周波数を低くするために、DOWNパルス信号のパルスが生じることになる。

【0117】

入力信号DATAにデューティ歪が無い場合、クロック信号ICLKと入力信号DATAの周波数が完全に一致しているときは、(0, 0), (0, 1), (1, 0), (1, 1)のいずれかを入力信号DATAの立ち上がりエッジ時点でサンプリングし続け、UPパルス信号、DOWNパルス信号のいずれのパルスも

生じることはない。

【0118】

入力信号DATAにデューティ歪がある場合でも、クロック信号ICLKと入力信号DATAの周波数が完全に一致しているときは、図7のタイミングチャートに示すように、クロック信号ICLK、QCLKを入力信号DATAの立ち上がりエッジのみでサンプリングするため、そのサンプリング値の組み合わせは常に一定となる。

【0119】

上述したように、PLL回路10（10'）の周波数検出回路14（14'）として、本実施形態に係る周波数検出回路を用いることにより、NRZのシリアル入力信号DATAの立ち上がりエッジ（タイミング）のみでクロック信号ICLKとクロック信号QCLKのサンプリングを行うと、入力信号DATAのデューティ比が変化しても、データとクロックの周波数が一致している場合に、そのサンプリング値は常に等しくなり、誤ったUPパルス信号やDOWNパルス信号を発生することが無くなり、安定したPLL動作ができる。

【0120】

なお、上記実施形態では、シリアル入力信号DATAの立ち上がりエッジで、クロック信号ICLKの“L”レベル（論理“0”）を、クロック信号QCLKの“H”レベル（論理“1”）をそれぞれサンプリングするとしたが、その論理の組み合わせは任意である。ただし、本実施形態に係る論理の組み合わせを採った場合には、図7のタイミングチャートから明らかなように、その論理の組み合わせが入力信号DATAの1周期のほぼ中央に位置することになるため、周波数調整後の位相調整時の制御を入力信号DATAの1周期の中央付近で行えることになるため、位相制御の制御範囲を広くとれるという利点がある。

【0121】

また、上記実施形態においては、入力信号DATAの立ち上がりエッジのみでクロック信号ICLKとクロック信号QCLKのサンプリングを行うとしたが、入力信号DATAの立ち下がりエッジのみでクロック信号ICLKとクロック信号QCLKのサンプリングを行うことも可能可能であり、この場合にも同様に、

誤ったUPパルス信号やDOWNパルス信号を発生することが無くなり、安定したPLL動作ができる。

【0122】

次に、本発明に係るPLL回路10(10')で用いられる位相検出回路11について説明する。図8に、その回路構成の一例を示す。先ず、位相検出回路11の回路構成について説明する。

【0123】

図8において、入力信号DATAが供給されるデータ入力端子51は、D-FF53のD入力端子に接続されるとともに、2入力のEX-OR(排他的論理和)ゲート55の一方の入力端子Aに接続されている。一方、VCO16の発振周波数クロックが供給されるCLK入力端子52は、D-FF53のCLK端子に接続されるとともに、D-FF54の反転CLK端子に接続されている。

【0124】

D-FF53のQ出力端子は、EX-ORゲート55の他方の入力端子B、2入力のEX-ORゲート56の一方の入力端子AおよびD-FF54のD入力端子にそれぞれ接続されている。D-FF54のQ出力端子は、EX-ORゲート56の他方の入力端子Bに接続されている。EX-ORゲート55の出力端子はUP出力端子57に、EX-ORゲート56の出力端子はDOWN出力端子58にそれぞれ接続されている。

【0125】

続いて、上記構成の位相検出回路11の回路動作について、図9のタイミングチャートを用いて説明する。図9のタイミングチャートにおいて、波形(a)～(f)は、図8の各ノード(a)～(f)の波形をそれぞれ示している。

【0126】

今、CLK入力端子52に入力されるVCO16の発振周波数クロックVCOCLK(a)の立ち上がりを時刻 t_0 , t_2 , t_4 , t_6 , t_8 , t_{10} , t_{12} , t_{14} とし、また立ち下がり時刻 t_1 , t_3 , t_5 , t_7 , t_9 , t_{11} , t_{13} , t_{15} とする。

【0127】

入力信号DATA (b) の波形は、時刻 t_1 と t_2 の間で立ち下がり、時刻 t_5 と t_6 の間で立ち上がり、この間は“L”レベルであるとし、時刻 t_8 と t_9 の間で立ち下がり、この期間“H”レベルを維持し、時刻 t_{10} と t_{11} の間で立ち上がり、この期間“L”レベルを維持し、さらに時刻 t_{12} と t_{13} の間で立ち下がり、この期間“H”レベルを維持し、それ以降時刻 t_{15} まで“L”レベルとする。

【0128】

D-FF53において、クロックVCOCLK (a) の立ち上がりタイミング t_2 で入力信号DATA (b) の“L”レベルを取り込む。これにより、D-FF53のQ出力信号(c)は“L”レベルに変化する。次のクロックVCOCLK (a) の立ち上がりタイミング t_4 では、入力信号DATAが変化せず“L”レベルのままであるから、D-FF53のQ出力信号(c)も変化せず、“L”レベルを維持する。

【0129】

クロックVCOCLK (a) の次の立ち上がりタイミング t_6 で入力信号DATAが“H”レベルであるから、D-FF53のQ出力信号(c)は“H”レベルに変化する。また、時刻 t_8 におけるクロックVCOCLK (a) の立ち上がりタイミングでは、入力信号DATAが“H”レベルであり、この“H”レベルを取り込むので、D-FF53のQ出力信号(c)は変化せず、“H”レベルのままである。

【0130】

時刻 t_{10} になると、入力信号DATAが“L”レベルに変化しているから、D-FF53のQ出力信号(c)も“H”レベルから“L”レベルへ変化する。時刻 t_{12} になると、入力信号DATAが“H”レベルであるから、D-FF53のQ出力信号(c)が“H”レベルになり、次のクロックVCOCLK (a) の立ち上がりタイミング t_{14} になると、入力信号DATAが“L”レベルになっている。これにより、D-FF53ではこの“L”レベルを取り込み、そのQ出力信号(c)が“L”レベルへ変化する。

【0131】

一方、D-FF54にはそのCLK入力として、クロックVCOCLK (a)の反転クロックが与えられている。したがって、D-FF54は、クロックVCOCLK (a)の立ち下がりの時刻t1, t3, t5, t7, t9, t11, t13, t15において入力信号DATAを取り込むことになる。

【0132】

時刻t1において、D-FF53のQ出力信号(c)が“H”レベルであるから、D-FF54のQ出力信号(d)は“H”レベルになり、次のクロックVCOCLK (a)の立ち下がりタイミングt3まで、“H”レベルを維持する。時刻t3になると、D-FF53のQ出力信号(c)が“L”レベルであるから、この“L”レベルを取り込むことで、D-FF54のQ出力信号(d)は“H”レベルから“L”レベルに変化し、時刻t5を経て時刻t7の直前まで“L”レベルを維持する。

【0133】

時刻t7のクロックVCOCLK (a)の立ち下がりタイミングでは、D-FF53のQ出力信号(c)が“H”レベルであるから、この“H”レベルを取り込むことにより、D-FF54のQ出力信号(d)は“H”レベルに変化する。時刻t9において、D-FF53のQ出力信号(c)は変化せず、時刻t10で“L”レベルに変化し、時刻t12までこの“L”レベルを維持し続けている。時刻t11では、D-FF53のQ出力信号(c)が“L”レベルになっており、D-FF54はこの“L”レベルを取り込むので、そのQ出力信号(d)が“H”レベルから“L”レベルへ変化する。

【0134】

時刻t13において、D-FF53のQ出力信号(c)が“H”レベルにあるからD-FF54はこの“H”レベルを取り込み、そのQ出力信号(d)が“H”レベルから“H”レベルへ変化する。また、この“H”レベルは次のクロックVCOCLK (a)の立ち下がりタイミングt15まで維持され、そこでD-FF53のQ出力信号(c)の“L”レベルがD-FF54に取り込まれる。これにより、D-FF54のQ出力信号(d)が“H”レベルから“L”レベルへ変化する。

【0135】

次に、UPパルス信号（e）を発生するEX-ORゲート55の動作について、図9のタイミングチャートを用いて説明する。なお、EX-ORゲート55の入力端子A、Bには、入力信号DATA（b）とD-FF53のQ出力信号（c）がそれぞれ供給されている。

【0136】

ここで、入力信号DATA（b）とD-FF53のQ出力信号（c）の論理値が互いに異なる期間は、時刻t1とt2の間で入力信号DATA（b）が“H”レベルから“L”レベルに変化する時点からD-FF53のQ出力信号（c）が“H”レベルである時刻t2までの期間、時刻t5とt6の間で入力信号DATA（b）が“L”レベルから“H”レベルに変化する時点からD-FF53のQ出力信号（c）が“L”レベルから“H”レベルに変化する時点（t6）までの期間、時刻t8とt9の間で入力信号DATA（b）が“H”レベルから“L”レベルに変化する時点から時刻t10までの期間、時刻t10とt11の間で入力信号DATA（b）が“L”レベルから“H”レベルに変化する時点から時刻t12までの期間、さらに時刻t12とt13の間で入力信号DATA（b）が“H”レベルから“L”レベルに変化する時点から時刻t14までの期間の各期間である。

【0137】

そして、これらの期間中、EX-ORゲート55の出力信号（e）は“H”レベルとなる。また、それ以外の期間では、入力信号DATA（b）とD-FF53のQ出力信号（c）の各信号レベルがそれぞれ“H”レベルと“H”レベル、または“L”レベルと“L”レベルになっているので、EX-ORゲート55の出力信号（e）は“L”レベルとなる。このEX-ORゲート55の出力信号（e）がUPパルス信号となる。

【0138】

次に、DOWNパルス信号（f）を発生するEX-ORゲート56の動作について、図9のタイミングチャートを用いて説明する。なお、EX-ORゲート56の入力端子A、Bには、D-FF53のQ出力信号（c）とD-FF54のQ

出力信号 (d) がそれぞれ供給されている。

【0139】

ここで、D-FF53のQ出力信号(c)とD-FF54のQ出力信号(d)の論理値が互いに異なる期間は、時刻t2からt3の期間、時刻t6からt7の期間、時刻t10からt11の期間、時刻t12からt13の期間、さらに時刻t14からt15の期間の各期間である。

【0140】

そして、これらの期間中、EX-ORゲート56の出力信号(f)は“H”レベルとなる。また、それ以外の期間では、D-FF53のQ出力信号(c)とD-FF54のQ出力信号(d)の各信号レベルがそれぞれ“H”レベルと“H”レベル、または“L”レベルと“L”レベルになっているので、EX-ORゲート56の出力信号(f)は“L”レベルとなる。このEX-ORゲート56の出力信号(f)がDOWNパルス信号となる。

【0141】

このようにして、入力信号DATAが変化する度にUPパルス信号(e)とDOWNパルス信号(f)のパルス波形がそれぞれ1回ずつ発生する。この回路例の場合には、DOWNパルス信号(f)のパルス幅は常に一定であり、UPパルス信号(e)のパルス幅を調整することにより、位相の制御が行われることになる。

【0142】

図10は、本発明に係る光通信受信装置の構成例を示すブロック図である。図10において、光信号が光検出器(PD)61で受光され、ここで電気信号に変換されて信号電流として出力される。この信号電流は、I(電流)-V(電圧)変換回路62で信号電圧に変換され、アンプ63で増幅されてリタイミング回路64およびPLL回路65に供給される。

【0143】

PLL回路65は、増幅器63から供給される受信データからそれに含まれるクロック成分を抽出し、このクロック成分に位相同期した新たなクロック信号を生成してリタイミング回路64に供給するために設けられたものである。このP

ＬＬ回路６５として、先述した実施形態に係るＰＬＬ回路１０（１０'）が用いられる。リタイミング回路６４は、ＰＬＬ回路６４から与えられるクロック信号に基づいて、増幅器６３から供給される受信データをリタイミング（一種の波形整形）して出力する。

【０１４４】

このように、例えばＮＲＺのデジタルデータを用いる光通信において、その受信装置のＰＬＬ回路６５として先述した実施形態に係るＰＬＬ回路を用いることにより、当該ＰＬＬ回路は入力信号のデューティ比が変化しても安定したＰＬＬ動作が可能であるため、デューティ歪が生じ易い伝送信号のデータに対してもＰＬＬ回路６５が誤動作することがなく、したがってリタイミング回路６４でのリタイミング処理をより確実に行えることになる。

【０１４５】

なお、ここでは、光通信の受信装置に適用した場合を例に採って説明したが、この適用例に限られるものではなく、特にデューティ歪が生じ易いデータを処理する処理系全般に適用可能である。

【０１４６】

【発明の効果】

以上説明したように、本発明によれば、ＰＬＬ回路に用いられる周波数検出回路において、位相の異なる第１，第２の信号を入力信号の周期ごとに取り込むようにしたことにより、入力信号のデューティ比が変化した場合であっても、入力信号と第１，第２の信号との周波数が一致している限り、誤った第１／第２の周波数制御信号を発生することがないため、安定したＰＬＬ動作が可能となる。

【図面の簡単な説明】

【図１】

本発明の一実施形態に係るＰＬＬ回路の構成例を示すブロック図である。

【図２】

図１に示す周波数検出回路の回路動作を説明するためのタイミングチャートである。

【図３】

本実施形態に係るPLL回路の変形例を示すブロック図である。

【図 4】

周波数検出回路の具体的な回路構成を示すブロック図である。

【図 5】

図 4 に示す周波数検出回路のUPパルス信号を出力するときの回路動作を説明するためのタイミングチャートである。

【図 6】

図 4 に示す周波数検出回路のDOWNパルス信号を出力するときの回路動作を説明するためのタイミングチャートである。

【図 7】

入力信号DATAにデューティ歪があるときの回路動作を説明するためのタイミングチャートである。

【図 8】

位相検出回路の具体的な回路構成を示すブロック図である。

【図 9】

位相検出回路の回路動作を説明するためのタイミングチャートである。

【図 1 0】

本発明に係る光通信受信装置の要部の構成を示すブロック図である。

【図 1 1】

PLL回路の基本構成を示すブロック図である。

【図 1 2】

周波数検出回路の従来例を示すブロック図である。

【図 1 3】

従来例に係る周波数検出回路の回路動作を説明するためのタイミングチャートである。

【図 1 4】

デューティ歪が有る場合と無い場合の入力信号DATAの波形図である。

【図 1 5】

入力信号DATAにデューティ歪が有る場合の従来例に係る周波数検出回路の

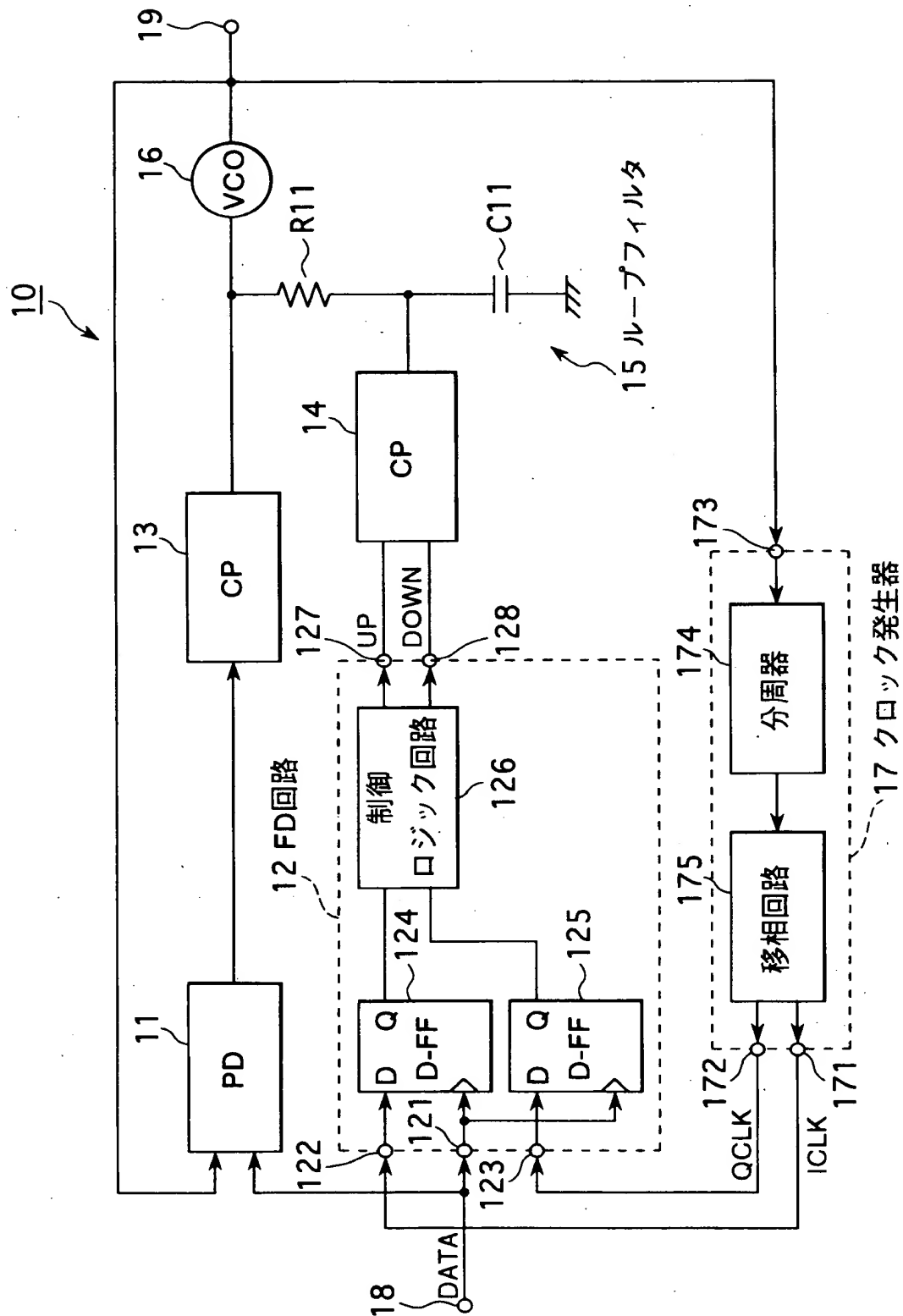
回路動作を説明するためのタイミングチャートである。

【符号の説明】

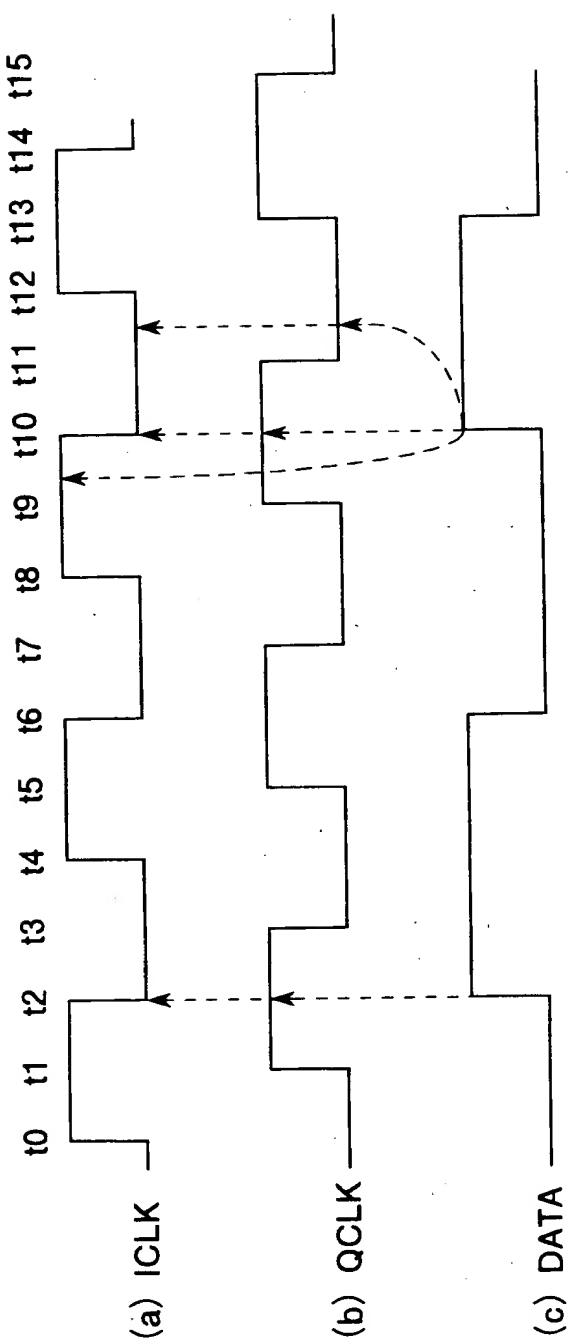
1 1 …位相検出回路、1 2 …周波数検出回路、1 3, 1 3', 1 4, 1 4' …
チャージポンプ回路、1 5, 2 0 …ループフィルタ、1 6, 1 6' …VCO (電
圧制御発振器)、1 7 …クロック発生器

【書類名】 図面

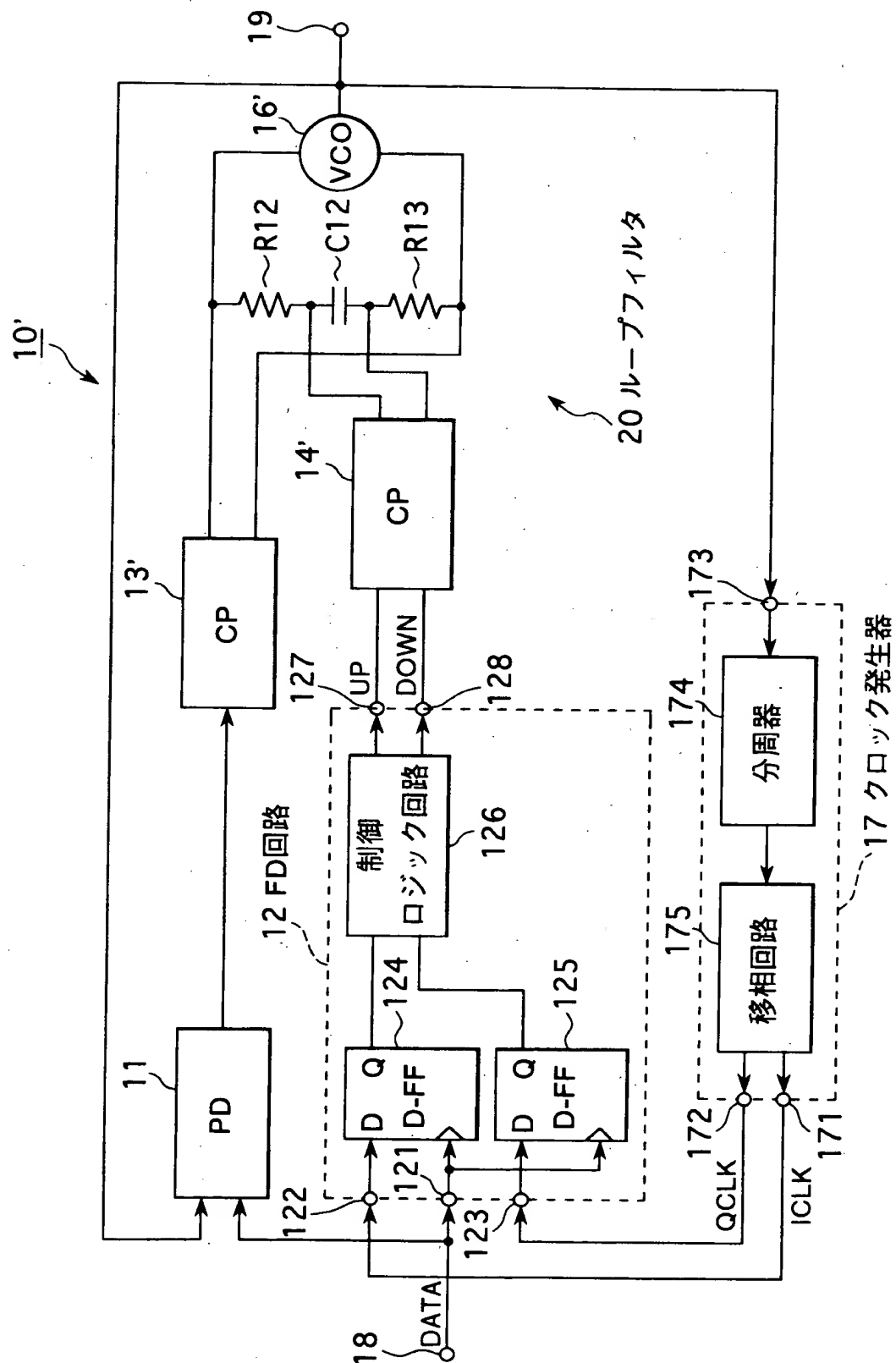
【図 1】



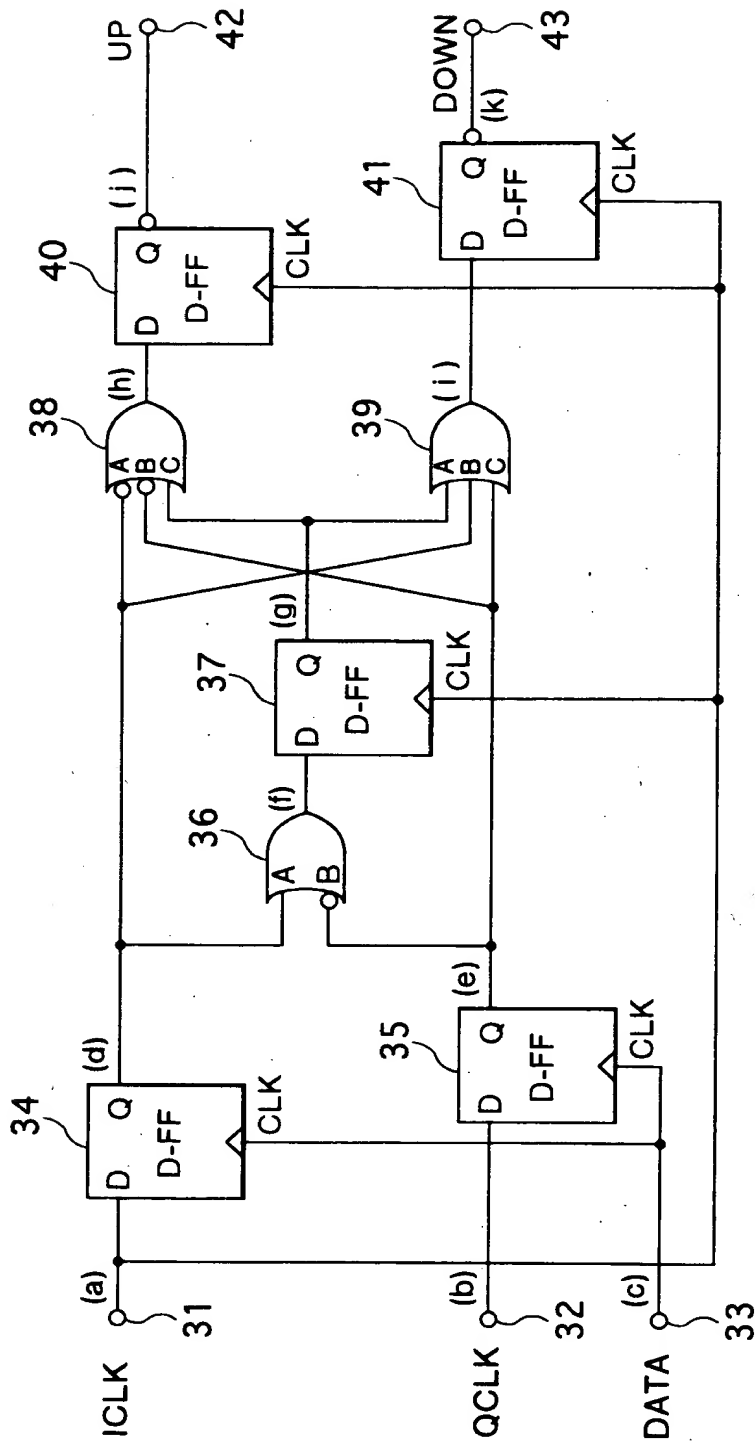
【図 2】



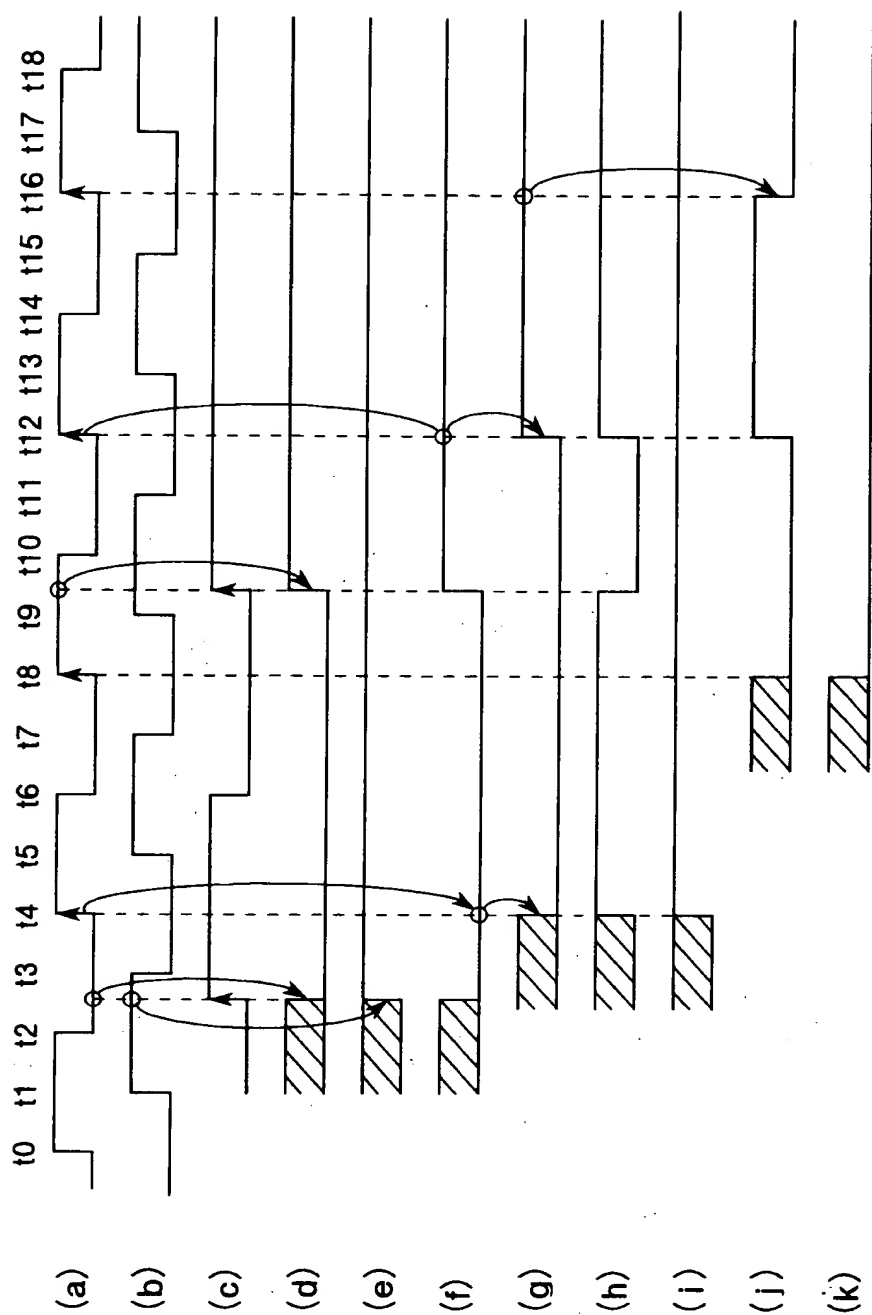
【図 3】



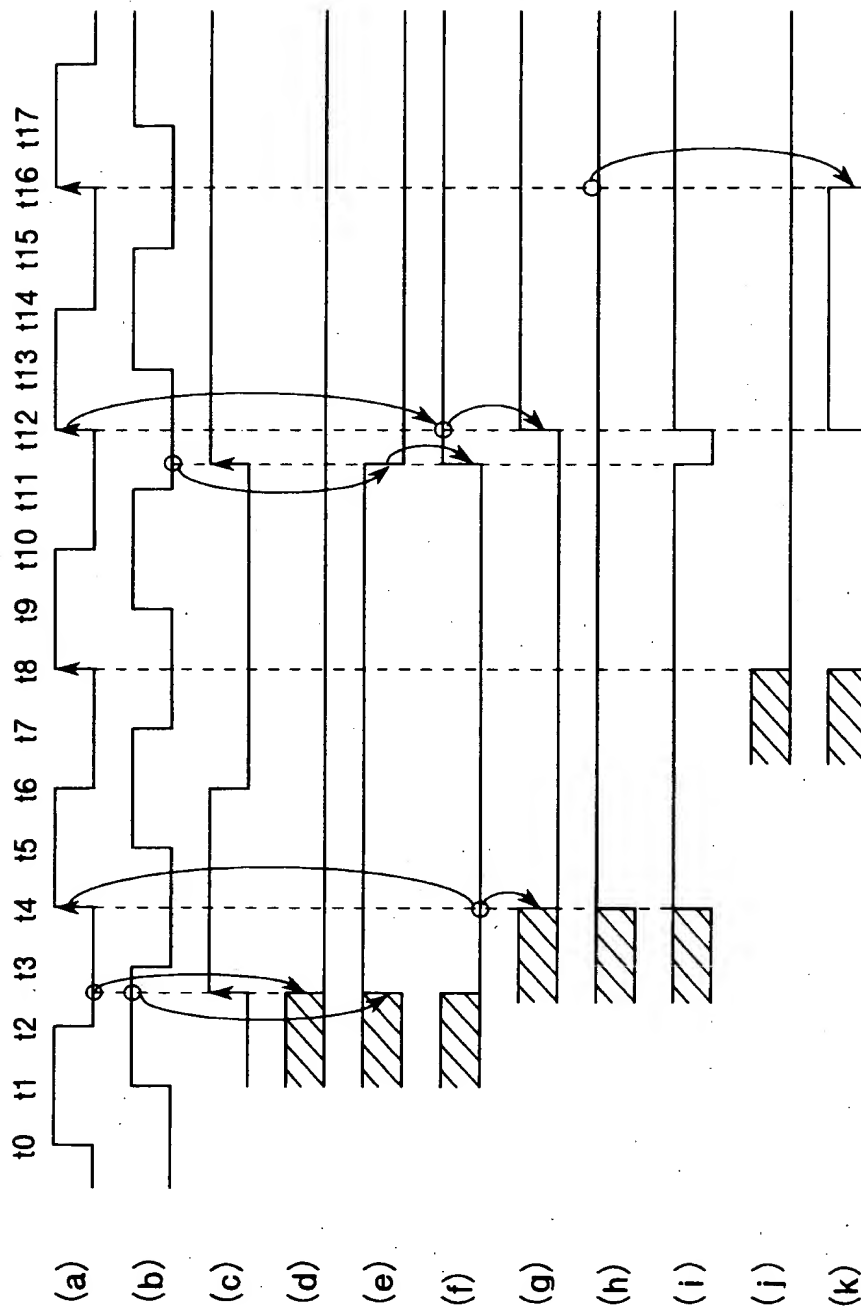
【図 4】



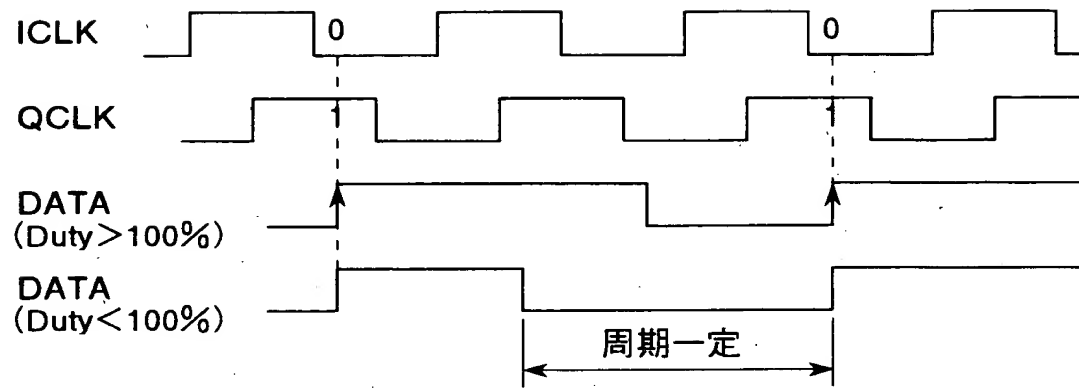
【図 5】



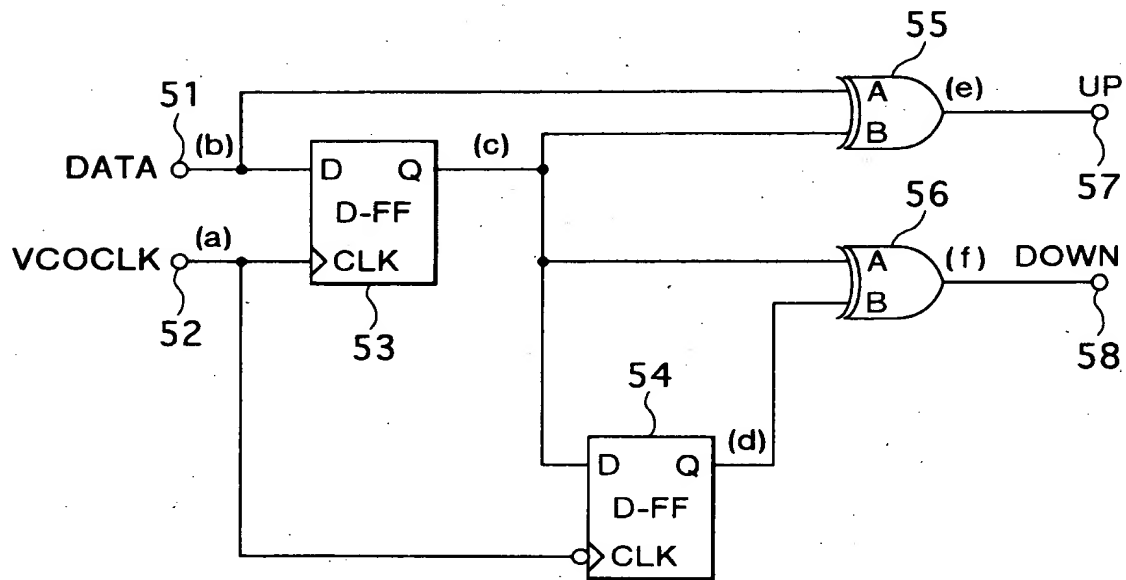
【図 6】



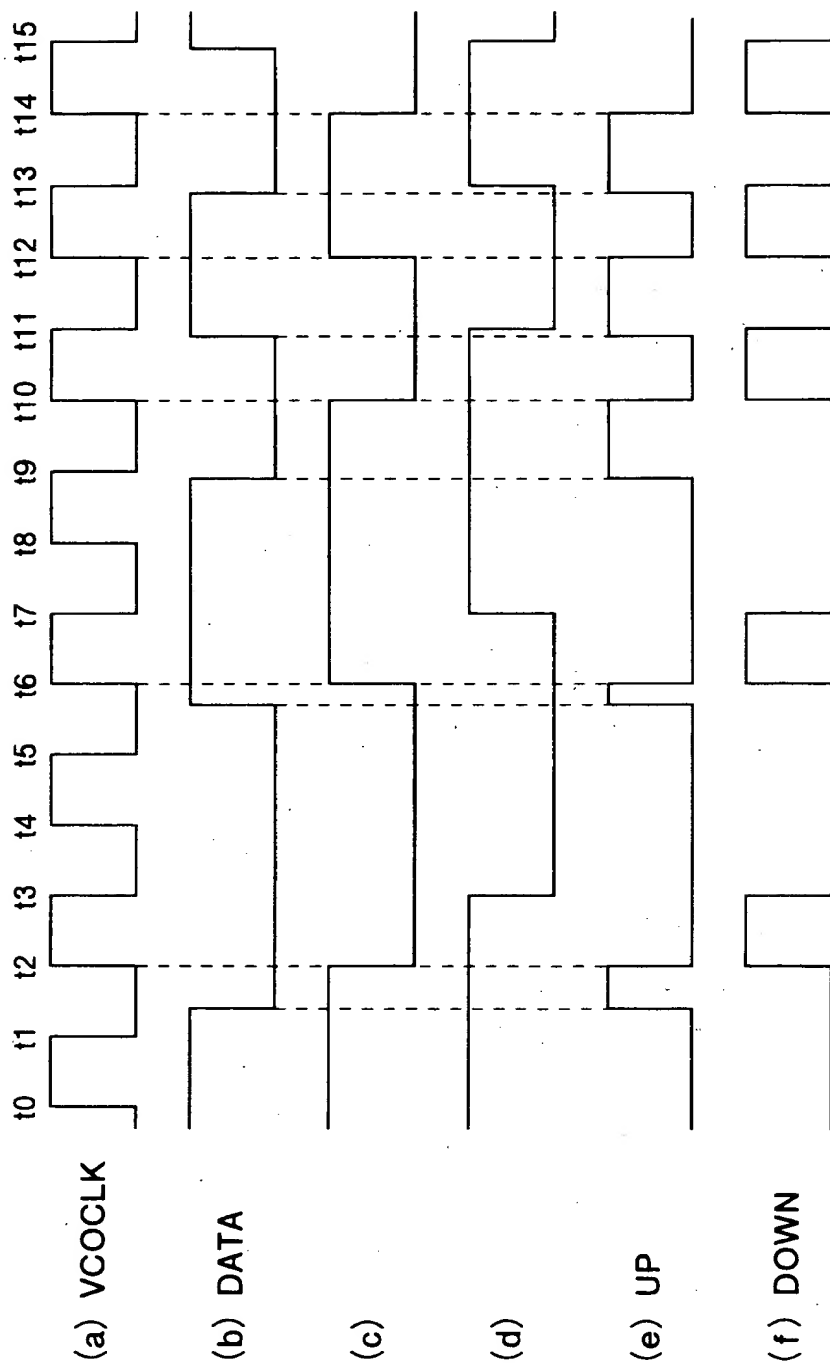
【図 7】



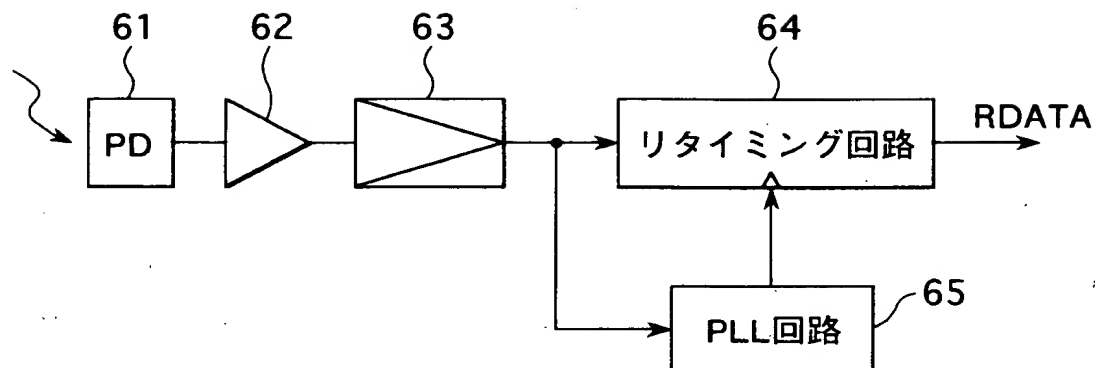
【図 8】



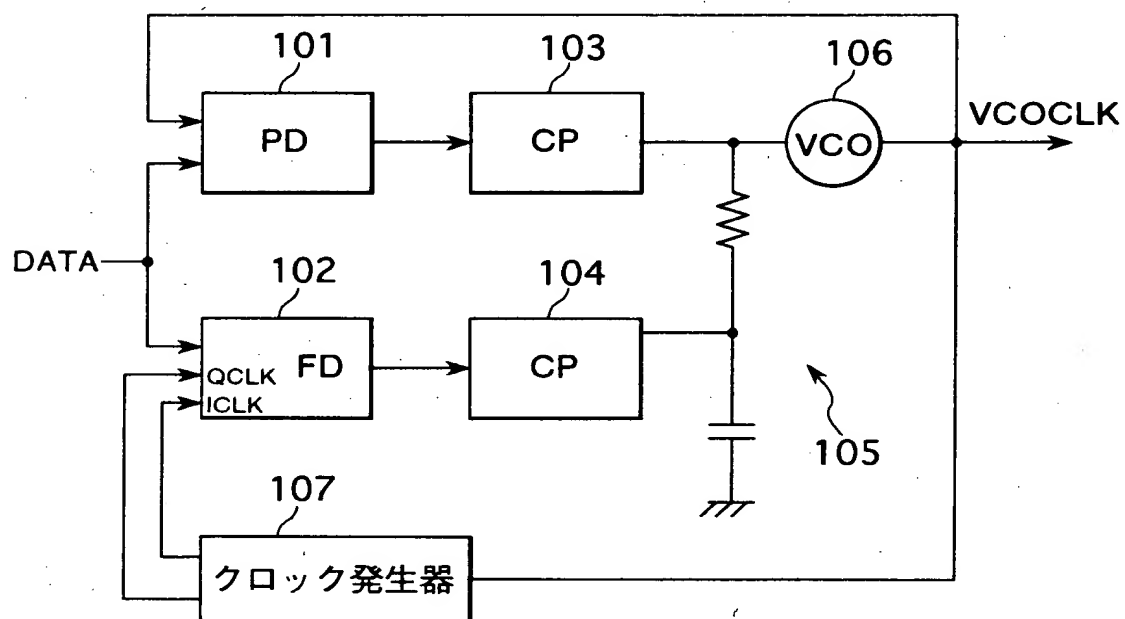
【図 9】



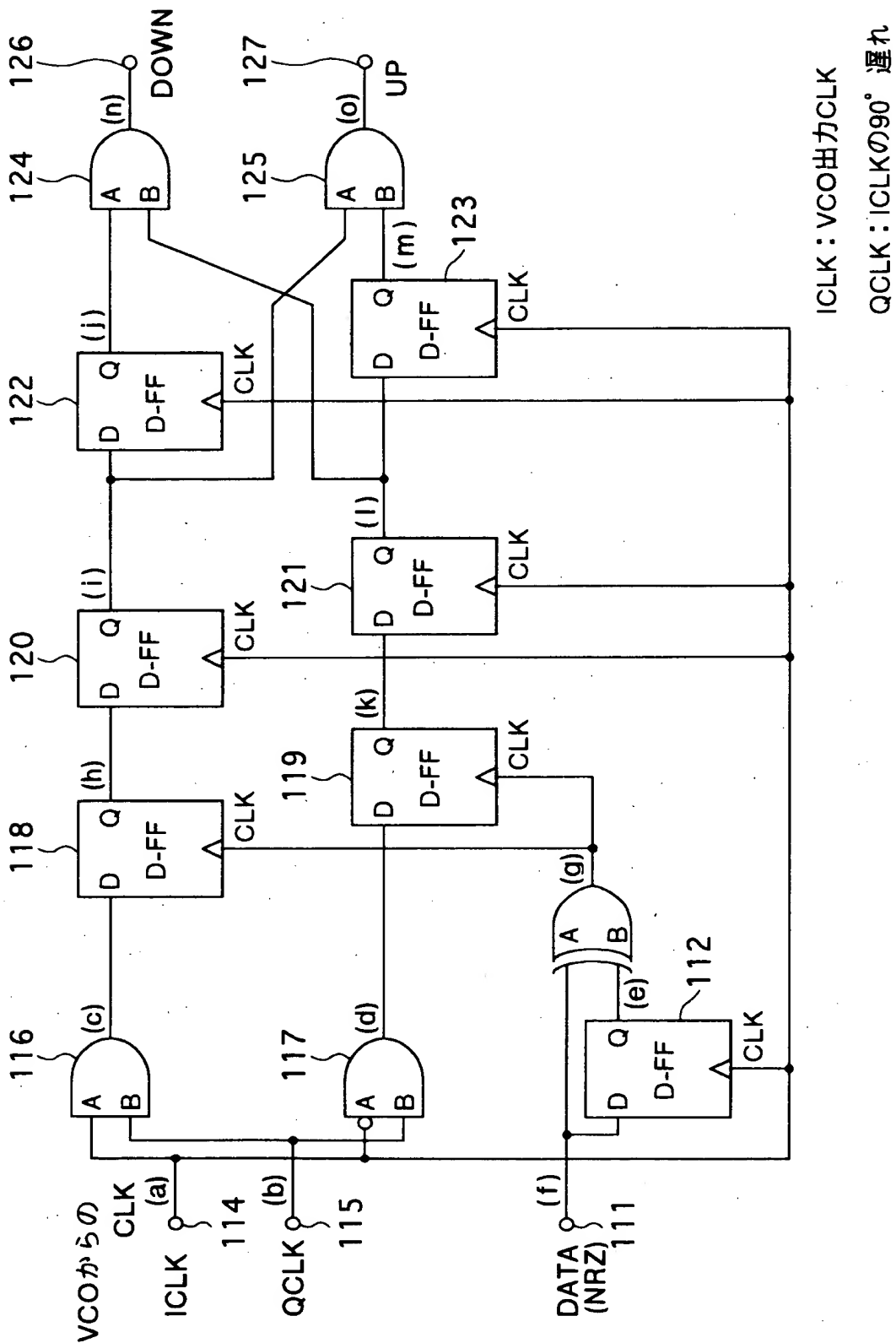
【図10】



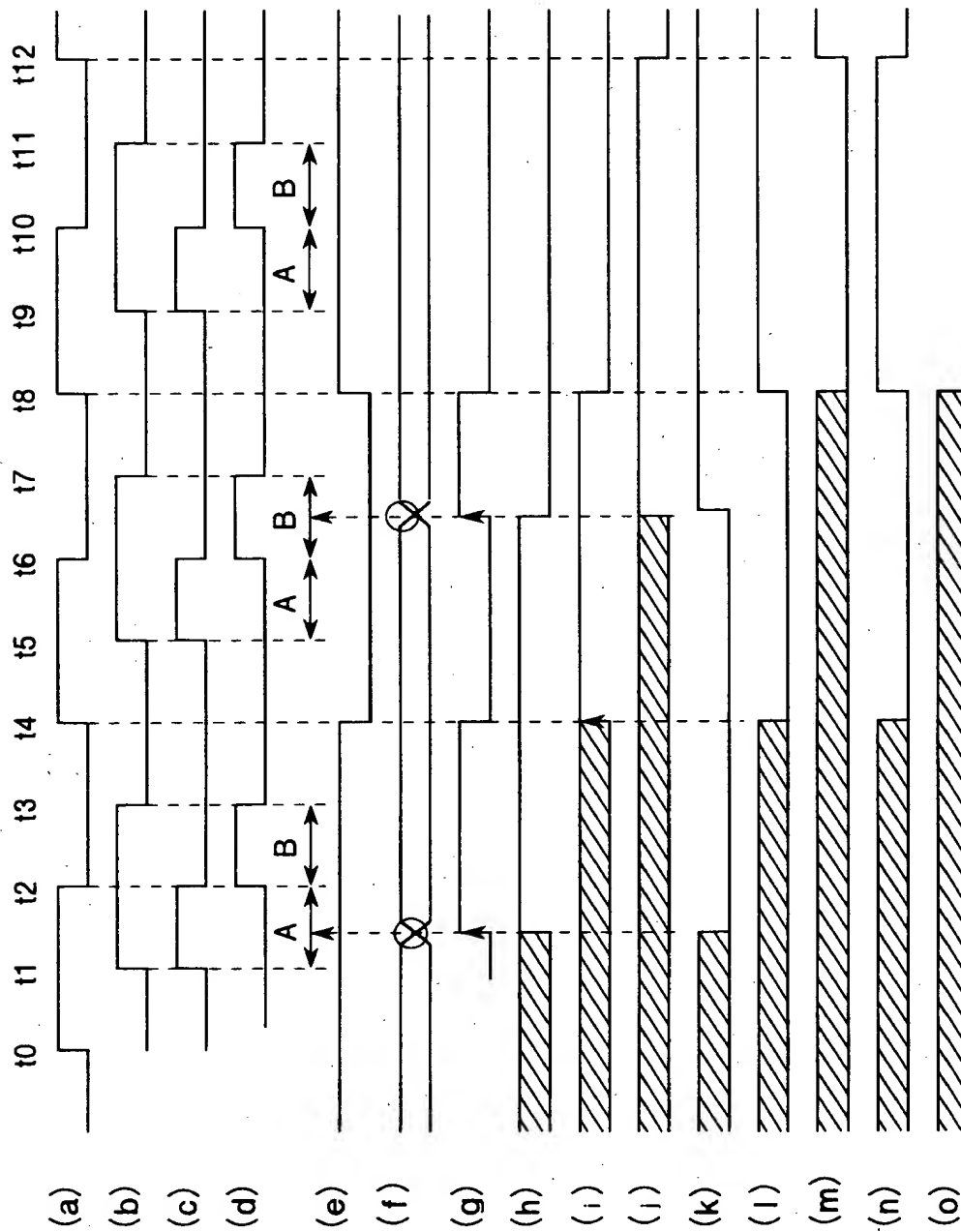
【図11】



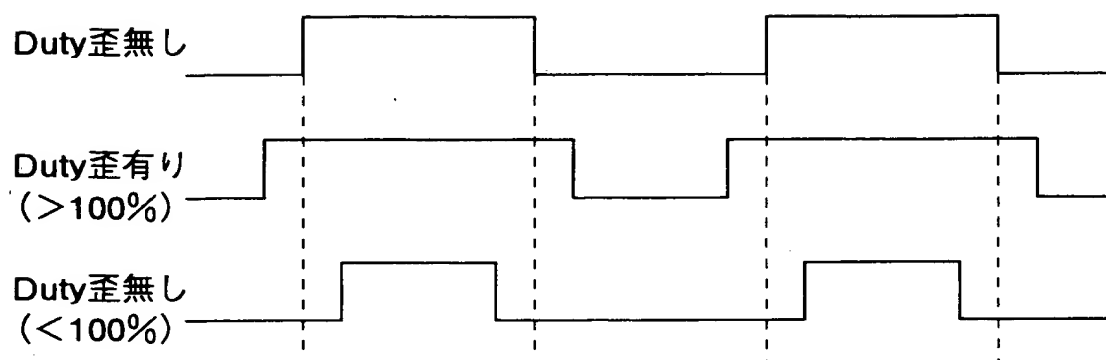
【図12】



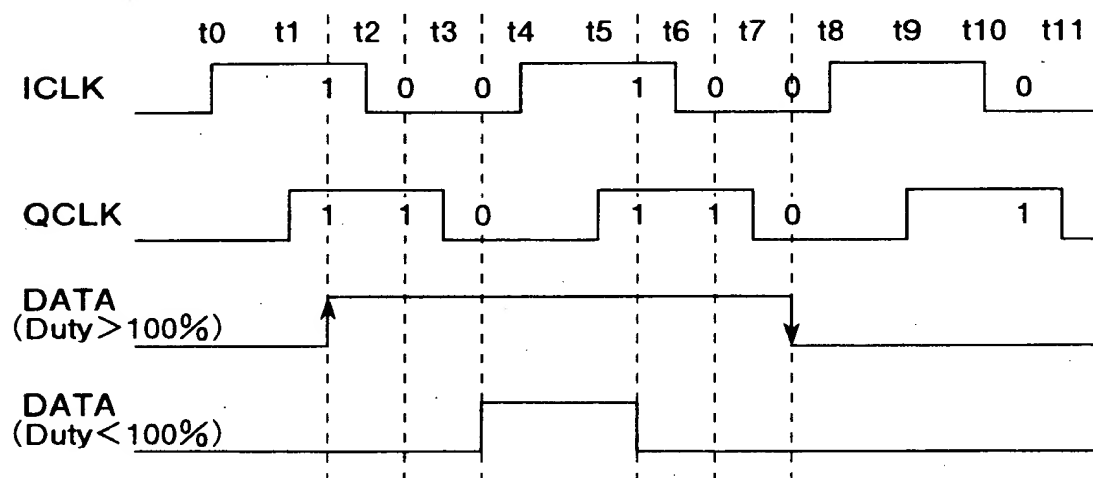
【図 13】



【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】 入力信号 DATA の立ち上がりおよび立ち下りの各変化点でクロック信号 ICLK, QCLK のサンプリングを行うと、入力信号 DATA にデューティ歪があった場合に誤動作を起こす。

【解決手段】 位相検出回路 11 および周波数検出回路 12 を有する PLL 回路 10 において、入力信号 DATA に同期してその周期ごとに、立ち上がり変化点（または、立ち下り変化点）でクロック信号 ICLK をサンプリングする D-FF 124 と、同様にクロック信号 QCLK をサンプリングする D-FF 125 と、これら D-FF 124, 125 でサンプリングした信号と次にサンプリングする信号とを論理演算する制御ロジック回路 126 とによって周波数検出回路 12 を構成し、制御ロジック回路 126 での論理演算結果に基づいて UP パルス信号または DOWN パルス信号を発生するようにする。

【選択図】 図 1

特 2000-318903

認定・付加情報

特許出願の番号	特願2000-318903
受付番号	50001350971
書類名	特許願
担当官	第七担当上席 0096
作成日	平成12年10月20日

<認定情報・付加情報>

【提出日】	平成12年10月19日
-------	-------------

次頁無

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号

氏 名 ソニー株式会社